

片面及び両面フレキシブルプリント配線板

Performance Guide for Single- and Double-sided Flexible Printed Wiring Boards

JPCA-DG02 – 2006

フレキシブル規格部会

(順不同・敬称略)

部会長	千田 宣昭	日本メクトロン(株)
幹 事	柏木 修二	住友電工プリントサーキット(株)
委 員	赤塚 孝寿	日本メクトロン(株)
〃	安西 幸雄	ソニーケミカル(株)
〃	今川 清水	三井化学(株)
〃	梅村 博貴	ニッカン工業(株)
〃	小國 昌宏	東レ・デュポン(株)
〃	川合 文久	デュポン(株)
〃	黒岩 俊明	宇部興産(株)
〃	小林 勢樹	日東電工(株)
〃	佐々木正幸	(株)ケミトックス
〃	菅山 浩之	ソニーケミカル(株)
〃	田原 修二	三井化学(株)
〃	塚越 幸夫	住友金属鉱山(株)
〃	西川 忠寛	東レフィルム加工(株)
〃	林 秀徳	マイクロハード(株)
〃	速水 敏行	(株)フジクラ
〃	平井 正俊	秋田住友ベーク(株)
〃	山崎 真	新日鐵化学(株)
〃	山本 哲也	東レ(株)
〃	山本 学	松下電工(株)
〃	横田 英一	(株)カネカ
事務局	栗原 正英	(社)日本電子回路工業会
〃	柴田 明一	(社)日本電子回路工業会
〃	小泉 徹	(社)日本電子回路工業会
〃	小幡 高史	(社)日本電子回路工業会

制定・改正：制定：平成 9 年 12 月 改正：平成 18 年 5 月

作 成 者：社団法人 日本電子回路工業会（会長 安東 脩二）

この規格についてのご意見又はご質問は、(社)日本電子回路工業会（〒167-0042 東京都杉並区西荻北 3-12-2 回路会館 2 階）Tel 03-5310-2020, Fax 03-5310-2021, e-mail : std@jpca.org へ連絡して下さい。

目 次

片面及び両面フレキシブルプリント配線板

JPCA-DG02 -20061

Performance Guide for Single- and Double-sided Flexible Printed Wiring Boards

JPCA- DG02 -200637

JPCA規格

片面及び両面フレキシブルプリント配線板

JPCA-DG02

1. 適用範囲 この規格は、主に電子機器に用いる片面及び両面フレキシブルプリント配線板（以下、フレキシブルプリント板又はFPCという）について規定する。

この規格において、フレキシブルプリント板とは、ポリエステルフィルム又はポリイミドフィルムの片面又は両面銅張積層板（接着剤層の無いタイプを含む）を使用し、サブトラクティブ法により製造された、片面又は両面フレキシブルプリント板（製造工程にビルドアップ法を用いるものは含まない）をいう。

2. 参照規格

（１）この規格の引用規格を次に示す。

JPCA-TD01	プリント回路用語
JPCA-BM03	フレキシブルプリント配線板用銅張積層板（接着剤及び無接着剤タイプ）
JIS C 5016	フレキシブルプリント配線板試験方法
JIS C 5017	フレキシブルプリント配線板－片面・両面
JIS C 5603	プリント回路用語
JIS C 6471	フレキシブルプリント配線板用銅張積層板試験方法
JIS C 6472	フレキシブルプリント配線板用銅張積層板－ポリエステルフィルム、ポリイミドフィルム
JIS C 6515	プリント配線板用銅はく

（２）この規格の対応国際規格を次に示す。

なお、これらのIECの諸規格は、この規格制定時において大幅な改訂作業が進行中である。

IEC 60326-7 (1981) Printed boards. Part 7: Specification for single and double sided flexible printed boards without through connections.

IEC 60326-8 (1981) Printed boards. Part 8: Specification for single and double sided flexible printed boards with through connections.

3. 用語の定義 この規格で用いる主な用語の定義は、JPCA-TD01、JPCA-BM03、JIS C 5016、JIS C 5017 及び JIS C 5603 の規定による。

4. 試験方法 この規格の諸特性の試験方法は、原則として JIS C 5016 による。

ただし、

- （１）参照手続きが煩雑な試験方法については、この規格の本文中に記載する。
- （２）貫通接続に関する試験は、両面フレキシブルプリント板のみ適用する。
- （３）フレキシブルプリント板に接着した補材については、外観のみを規格の対象とする。

5. レベル

フレキシブルプリント板は、要求される個々の特性ごとに、次に定義する3つの標準レベルと1つの特殊レベルに分けられる。

レベル 1…… 通常レベルが要求されるフレキシブルプリント板

レベル 2…… 高いレベルが要求されるフレキシブルプリント板

レベル 3…… 特に高いレベルが要求されるフレキシブルプリント板

レベル X…… 上記3つの標準レベルに属さない特殊な要求による性能レベルで、受渡当事者間においてその仕様を明確に協定しなければならない。

規定する個々の項目ごとに独立して必要なレベルを選択して使用することができる。特殊な仕様を含む場合には、その部分のみ異なるレベルを適用することができる。

6. 基材 フレキシブルプリント板に用いる基材は、JPCA-BM03の規定に適合するものとする。

7. 外観

7.1 検査の環境 検査を行う環境は、JIS C 5016の3.(試験の状態)による。

7.2 検査試料 試料は、JIS C 5016の4.(試料)による。

7.3 検査器具 外観検査は、目視又は倍率3から10の拡大鏡によって、外観と仕上がり状態の良否を調べる。

寸法に関する項目の測定には、目盛り付きルーペ又は必要に応じて二次元座標測定機を使用する。

厚さに関する項目には、少なくとも $1\mu\text{m}$ が測定できるマイクロメータを使用する。

7.4 限度見本 この規格を円滑に運用するために、受渡当事者間の協定により、必要な限度見本を作成して判定基準とすることができる。

7.5 検査の内容 外観検査の項目、内容及びその説明図は7.5.1から7.5.6までとし、レベルについての指定のない項目は、フレキシブルプリント板のレベル1、2及び3に適用される。

7.5.1 導体の外観

7.5.1.1 断線・短絡 断線・短絡があってはならない。

7.5.1.2 欠け、ピンホール

(1) 図1に示すような、欠け及びピンホールによる導体の欠損の幅(w_1)、欠損の長さ(l)は、仕上がり後の導体幅(W)(¹)に対して、表1のとおりとする。

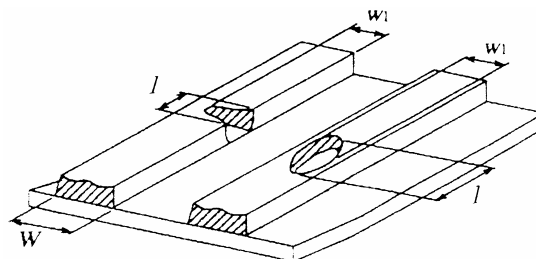


図1 欠け、ピンホール

注(1) 仕上がり後の導体幅とは、導体の下底部において測定した幅をいう。

表 1 欠け, ピンホール

レベル	欠け, ピンホールの欠損の幅 w_I , 長さ l
レベル1, 2	$w_I \leq 1/2 W, l \leq 2W$
レベル3	$w_I \leq 1/3 W, l \leq W$

(2) 図2に示すようなランド上にある欠損は, ランドの露出有効面積の 10% 以下であること。

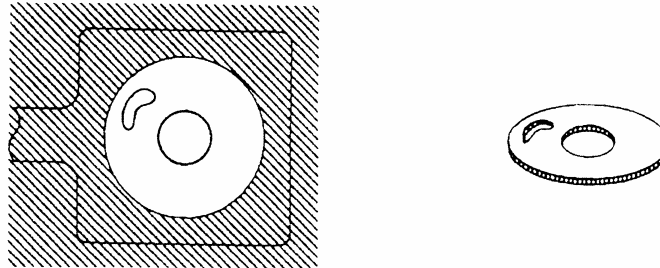


図2 ランド上の欠損

(3) 図3に示すような製品穴の外周にかかる欠損は, その外周の 1/3 以下であること。

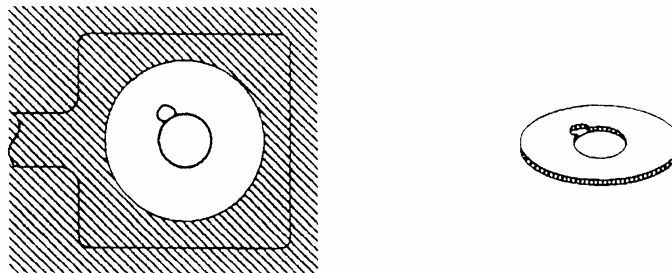


図3 製品穴の外周にかかる欠損

7.5.1.3 導体間の導体の残り又は突起 図4に示すような, 隣接する導体間の残り又は突起間の距離(s_1)又は(s_2+s_3)は, 仕上がり後の導体間げき(s)に対して, 表2のとおりとする。

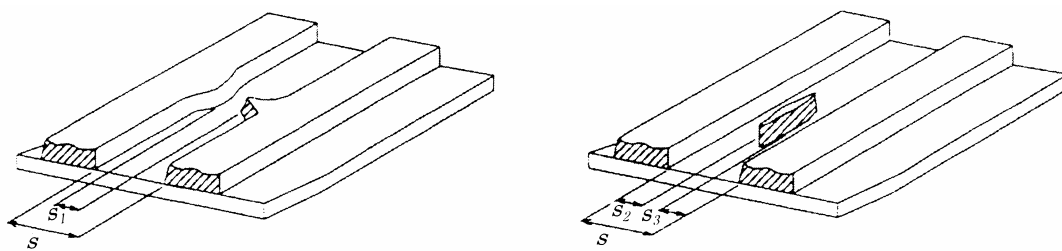


図4 導体間の導体残り又は突起

表 2 導体間の導体の残り又は突起

レベル	導体間の導体の残り又は突起 s_1 又は ($s_2 + s_3$)
レベル1, 2	$1/2 s \leq s_1$ 又は ($s_2 + s_3$)
レベル3	$2/3 s \leq s_1$ 又は ($s_2 + s_3$)

7.5.1.4 広いスペースでの導体の残り又は突起 図5に示すような、導体パターンの引き回しが配置されない広いスペースの部分では、プリント板の外形から導体残りまでの距離(s)が 0.125mm 以上離れていること。

また、導体残りと隣接するパターンとの距離(s)が 0.125mm 以上離れていること。

なお、ここでいう広いスペースとは、 0.375mm 以上とする。

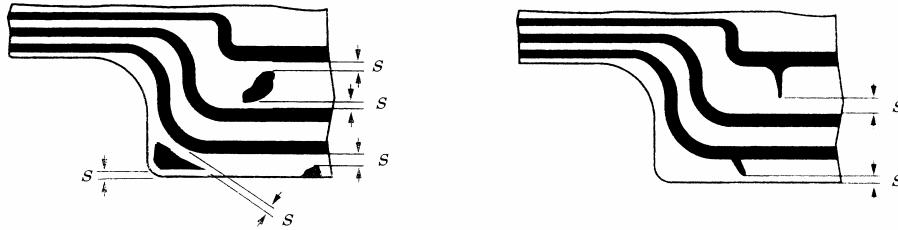


図5 広いスペースでの導体の残り又は突起

7.5.1.5 導体表面のエッチング 図6に示すような、エッチングによる表面のくぼみ(d)は、導体の厚さ(t)に対して、表3のとおりとする。

また、くぼみは導体の幅方向を横切ってはならない。

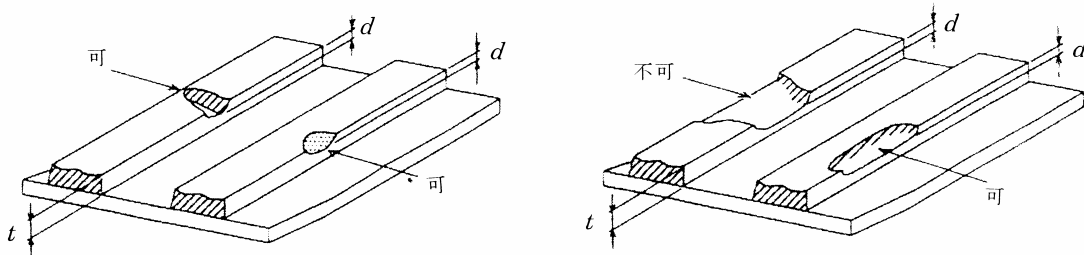


図6 導体表面のエッチング

表3 導体表面のくぼみ

レベル	導体表面のくぼみ d
レベル1, 2	$d \leq 1/3 t$
レベル3	$d \leq 1/5 t$

7.5.1.6 導体のはく離 図7に示すような導体はく離の幅(w_l)及び長さ(l)は、仕上がり後の導体幅(W)に対して、表4のとおりとする。

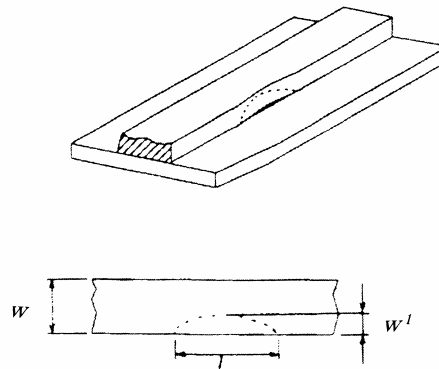


図7 導体のはく離

表 4 導体のはく離

レベル	導体のはく離の長さ l , 幅 w_l
レベル1	(1) カバーレイのかかっている部分 $l \leq W$ で可動屈曲部 : $w_l / W \leq 1/3$ $l \leq W$ で一般部 : $w_l / W \leq 1/2$
	(2) カバーレイのかかっていない部分 $l / W \leq 1/4$ 及び $w_l / W \leq 1/4$
レベル2, 3	目視にて検出できる導体のはく離があつてはならない。

7.5.1.7 導体のクラック 導体のクラックがあつてはならない。

7.5.1.8 導体のきず 図8に示すような導体のきずとは、鋭利な金属等による明らかに有害なものをさし、その深さ(d)は、導体の厚さ(t)に対して表5のとおりとする。ただし、繰返し曲げのかかる部分については、曲げ特性を損なつてはならない。

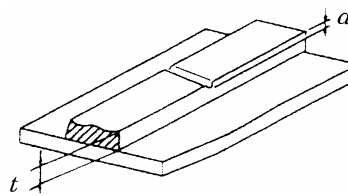


図 8 導体のきず

表 5 導体のきず

レベル	導体のきず d
レベル1, 2	$d \leq 1/3 t$
レベル3	$d \leq 1/5 t$

7.5.1.9 変色 変色は、表6のとおりとする。

表 6 変色

レベル	変 色
レベル1, 2	カバーレイに被覆されている導体に変色がある場合には、温度 40℃, 相対湿度 90%で 96時間処理後、著しい変色の進行が無ければ可とする。
レベル3	限度見本により、変色の軽微なものは可とする。

7.5.2 カバーレイ及びカバーコートの外観

7.5.2.1 気泡 図9に示すような気泡は、表7のとおりとする。

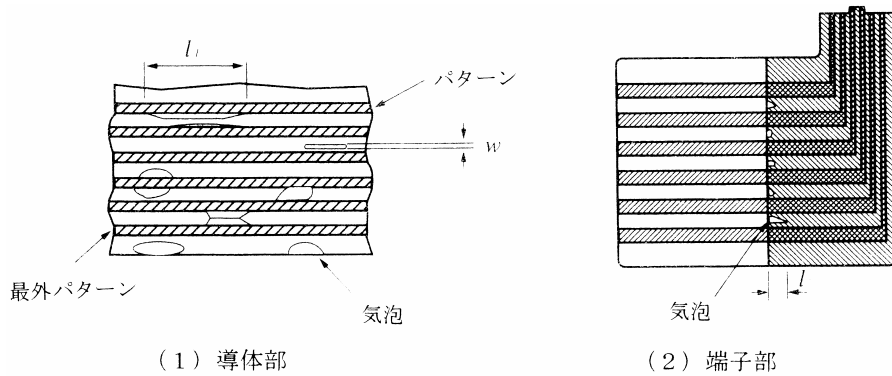


図9 気泡

表7 気泡

レベル	気泡
レベル1	2本以上の導体にまたがる気泡，外形と導体にまたがる気泡のないこと。ただし，図9(2)に示すような，端子部の気泡は，2本の回路にまたがってもよい。その最大長さ(l_2)は，0.3 mm とする。
レベル2	気泡の長さ(l_1)は 10mm 以下とし，気泡の幅(w)がパターン間げきの 1/3 以下で，かつ，外形に接しないこと。ただし，図9(2)に示すような，端子部の気泡は，2本の回路にまたがらないこととし，その最大長さ(l_2)は，0.3 mm とする。 また，繰り返し曲げのかかる部分については，曲げ特性を損なわないこと。
レベル3	気泡があってはならない。

7.5.2.2 異物 図10に示すような異物は，次のとおりとする。

(1) 導電性異物 この規格の7.5.1.3及び7.5.1.4の規定を適用する。

(2) 非導電性異物 許容値は，表8による。

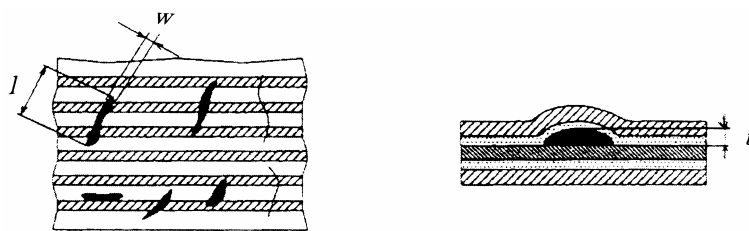


図10 異物

表8 非導電性異物

単位 mm

レベル	厚さ t	幅 w	長さ l
レベル1	$t \leq 0.1$	$w \leq 0.3$	$l \leq 3$
レベル2	$t \leq 0.05$	$w \leq 0.2$	$l \leq 2$
レベル3	$t \leq 0.05$	$w \leq 0.05$	$l \leq 1$ ただし，導体3本以上にまたがらないこと。

7.5.2.3 浮き上がり及びはく離 図 11 に示すような、外周に目視にて確認できるカバーレイ又はカバーコートは浮き上がり又は はく離があってはならない。

また、カバーコートでは、JIS C 5016 の 8.5.1（テープ引きはがし強さ）で はがれてはならない。

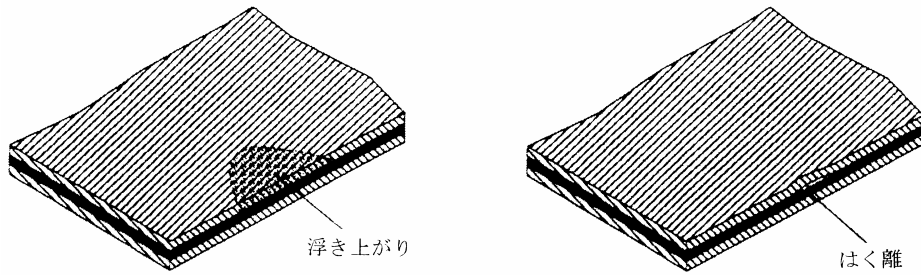


図 11 浮き上がり及びはく離

7.5.2.4 カバーレイの接着剤の流れ、カバーコート及び感光性レジストののにじみ 図 12 に示すような、接着剤の流れ、カバーコート及び感光性レジストの導体上ののにじみ(I) は、表 9 のとおりとする。

ただし、図 12(1)に示すようなランド部分では、カバーレイの貼りずれ及び穴の打抜きずれを加味した有効ランド幅(w)について、表 10 のとおりとする。

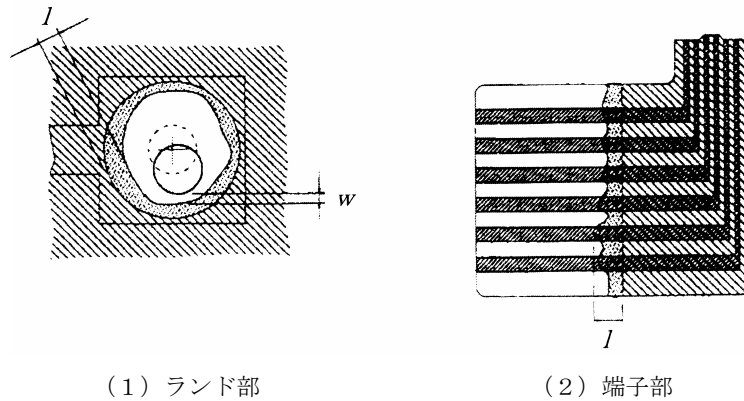


図 12 カバーレイの接着剤の流れ、カバーコート及び感光性レジストののにじみ

表 9 接着剤の流れ、カバーコート及び感光性レジストののにじみ

単位 mm		
レベル	接着剤の流れ、カバーコートのにじみ I	感光性レジストののにじみ I
レベル1, 2	$I \leq 0.3$	—
レベル3	$I \leq 0.2$	$I \leq 0.1$

表 10 ランド部における有効ランド幅

レベル	有効ランド幅 w
レベル1	部品穴に接する外周の 1/3 までの流れ及びにじみは可。
レベル2	0.05 mm 以上確保されていること。
レベル3	0.1 mm 以上確保されていること。

7.5.2.5 カバーコート及び感光性レジストのかすれ カバーコート及び感光性レジストのかすれは、JIS C 5016 の 10.4 (はんだ付け性) に規定する はんだ付け性試験を行ったとき、カバーコート及び感光性レジストのかすれた部分の導体に はんだが付着しないこと。

7.5.3 めっきの外観

7.5.3.1 めっきの付着不良 図 13 に示すような、めっきの付着不良は、7.5.3.1.1 及び 7.5.3.1.2 の規定による。

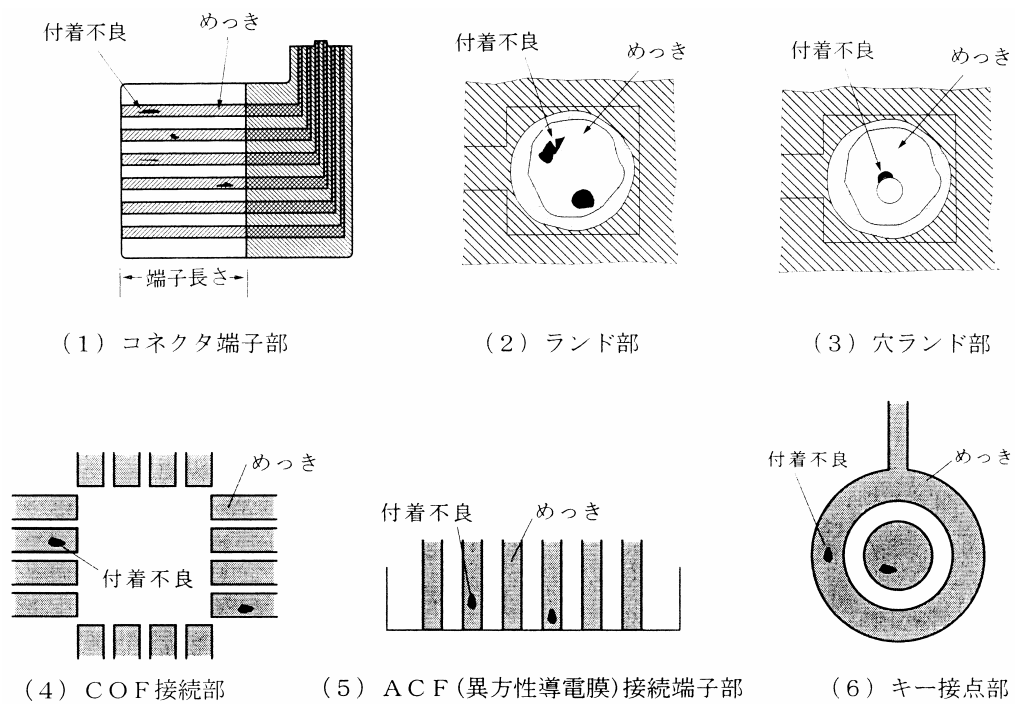
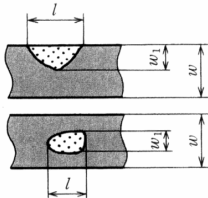


図 13 めっきの付着不良

7.5.3.1.1 金めっき 金めっきは、表 11 のとおりとする。

表 11 金めっき

レベル	金めっき	図 13 の例																	
レベル 1	図 13(2)，(3)に示すような、ランド部の付着不良は、めっきされた全面積（接着剤の流れ出しによる不着部分は含めない）の 10%未満でなければならない。	(2)，(3)																	
レベル 2	参考図に示すような、めっきの付着不良の幅(w_I)，長さ(l)は、仕上がり後の導体幅(w)に対して、次の表のとおりとする。  参考図 めっきの付着不良個所の幅及び長さ めっきの付着不良個所の幅及び長さ 単位 mm <table><tr><th colspan="2" rowspan="2">区分</th><th colspan="3">仕上がり後の導体幅 w</th></tr><tr><th>$w < 0.30$</th><th>$0.30 \leq w \leq 0.45$</th><th>$0.45 < w$</th></tr><tr><td rowspan="2">端子部</td><td>付着不良の幅(w_I)</td><td>$w_I \leq 1/2 w$</td><td>$w_I \leq 0.15$</td><td>$w_I \leq 1/3 w$</td></tr><tr><td>付着不良の長さ(l)</td><td colspan="3">$w_I \leq w$</td></tr></table> なお、キー接点部のような面積の広い部分については、0.2mm²以上の付着不良があつてはならない。	区分		仕上がり後の導体幅 w			$w < 0.30$	$0.30 \leq w \leq 0.45$	$0.45 < w$	端子部	付着不良の幅(w_I)	$w_I \leq 1/2 w$	$w_I \leq 0.15$	$w_I \leq 1/3 w$	付着不良の長さ(l)	$w_I \leq w$			(1)，(5)，(6)
区分				仕上がり後の導体幅 w															
		$w < 0.30$	$0.30 \leq w \leq 0.45$	$0.45 < w$															
端子部	付着不良の幅(w_I)	$w_I \leq 1/2 w$	$w_I \leq 0.15$	$w_I \leq 1/3 w$															
	付着不良の長さ(l)	$w_I \leq w$																	
レベル 3	直接コンタクト部には、拡大率 3 から 10 で検出できるめっき付着不良やピット（穴・くぼみ）があつてはならない。	(1)，(4)，(5)																	
レベル X	特殊用途については受渡当事者間の協定による。	—																	

7.5.3.1.2 はんだめっき（クリームはんだ，ディップはんだ等で，鉛フリーはんだ材料を使用するものを含む。） 図 13(1)に示すような，端子部の付着不良の幅は，仕上がり後の導体幅の 1/2 以下で，長さは導体幅を超えてはならない。ただし，直接コンタクト部には，拡大率3から10で検出できるめっき付着不良やピット（穴・くぼみ）があってはならない。

図 13(2)，(3)に示すような，ランドの付着不良は，めっきされた全面積（接着剤の流れ出しによる不着部分は含めない）の 10%未満でなければならない。

図 13(3)に示すような，付着不良が製品穴にかかる場合は，外周の 1/3 以下とする。付着不良部分は接着剤で覆われていること。

7.5.3.2 めっき又ははんだのしみこみ（クリームはんだ、ディップはんだ等で、鉛フリーはんだ材料を使用するものを含む。） 図 14 に示すような、めっき又ははんだのしみ込みは、次のとおりとする。

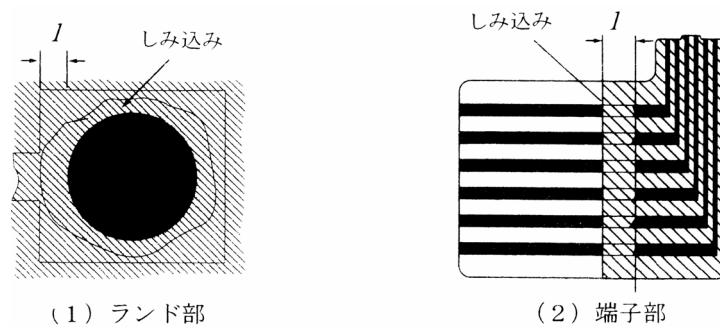


図 14 めっき又ははんだのしみ込み

(1) 図 14 に示すような、導体とカバーレイ（カバーコート及び感光性レジスト）との間にしみこんだ部分(I)は、表 12 のとおりとする。

表 12 導体とカバーレイ（カバーコート及び感光性レジスト）の間のしみ込み

単位 mm	
レベル	導体とカバーレイの間のしみ込み I
レベル1	$I \leq 0.5$
レベル2	$I \leq 0.3$
レベル3	$I \leq 0.1$

(2) 導体とベースフィルムとの間にしみこんだ部分については、表 13 のとおりとする。

表 13 導体とベースフィルムの間のしみ込み

レベル	導体とベースフィルムの間のしみ込み
レベル1	この規格の 7.5.1.6 の規定を適用する。
レベル2, 3	目視にて検出できるしみこみは、不可とする。

7.5.3.3 めっき及びはんだの表面状態

7.5.3.3.1 金めっき 金めっきは、表 14 のとおりとする。

表 14 金めっき

レベル	金めっき
レベル1, 2	目視で容易に検出できるしみ、くもり、汚れ等の判定は限度見本による。
レベル3	10 倍の拡大率で検出できるワイヤボンディング部のしみ、くもり、変色、汚れ等は不可とする。
レベルX	特殊用途については受渡当事者間の協定による。

7.5.3.3.2 はんだめっき（クリームはんだ、ディップはんだ等で、鉛フリーはんだ材料を使用するものを含む。） 黒く変色（黒化）していないこと。

7.5.3.3.3 スルーホールめっきのボイド 図 15 に示すようなボイドの数は、1 穴あたり 3 個以下であること。

ボイド面積の和(S_{sum})は、スルーホールめっき穴の内壁全体の面積(S_{total})に対して、表 15 のとおりとする。

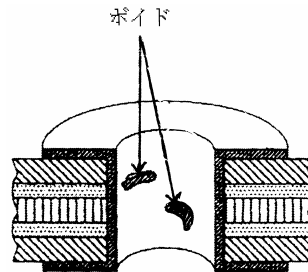


図 15 スルーホールめっきのボイド

表 15 ボイド面積

レベル	ボイド面積の和 S_{sum}
レベル1, 2	$S_{sum} < 1/3 S_{total}$
レベル3	$S_{sum} < 1/10 S_{total}$

7.5.4 外形、穴抜き

7.5.4.1 裂け、切れ 図 16 に示すような、裂け、切れがあってはならない。ただし、刃継ぎ部分等に生じたわずかな切れは、目視にて確認されなければ許容される。

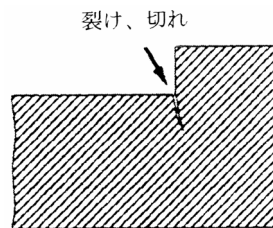


図 16 裂け、切れ

7.5.4.2 ばり 図 17 に示すような、ばりの高さ(h)は、0.1mm 以下とする。

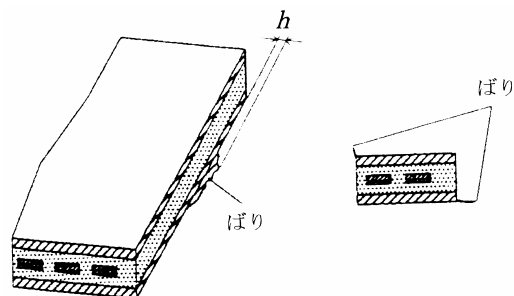


図 17 ばり

7.5.4.3 糸状のばり 図 18 に示すような、非導電性の糸状のばりの長さ(l_1 , l_2)は、外形において(l_1)は 1.0mm 以下、穴の部分(l_2)では 0.3mm 以下とする。

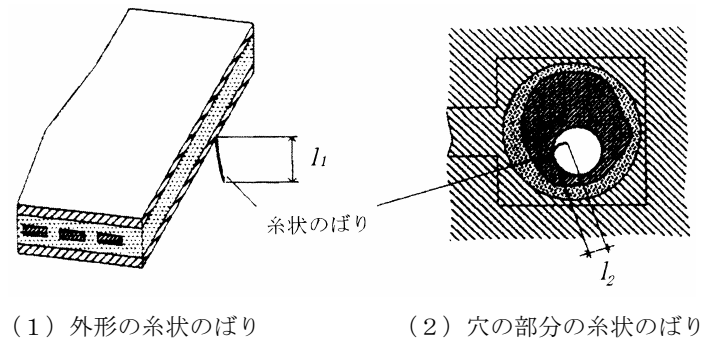


図 18 糸状のばり

7.5.5 補材の貼付による外観上の欠陥

7.5.5.1 補材との間の異物 図 19 に示すような、フレキシブルプリント板と補材との間に挟まった異物は、その盛り上がり(t)が 0.1mm 以下でなければならない。ただし、プリント板と補材との厚さが規定されている場合には、その規定に適合しなければならない。

異物の大きさは、プリント板と補材との接着面積の 5%以下とする。

加工穴及び補材の外形端に接する異物があってはならない。

ただし、糸状の非導電性異物は、長さ(l)が 1mm 以下であれば可とする。

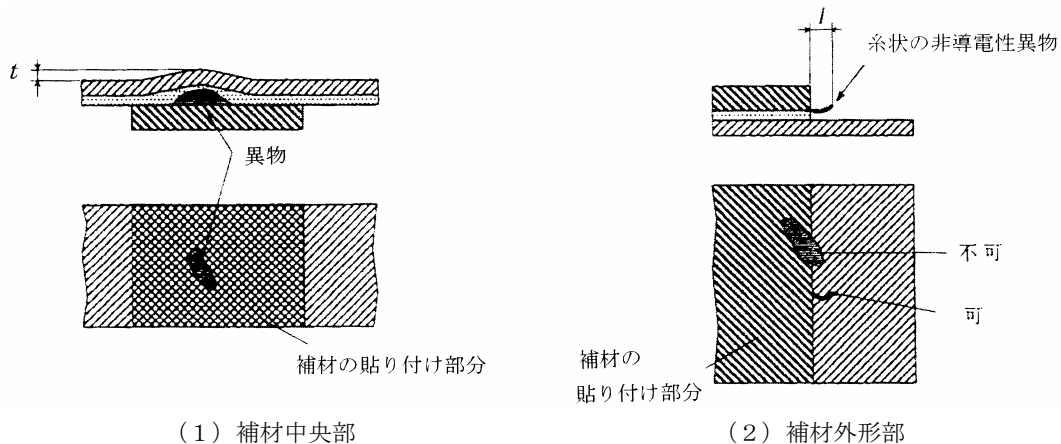
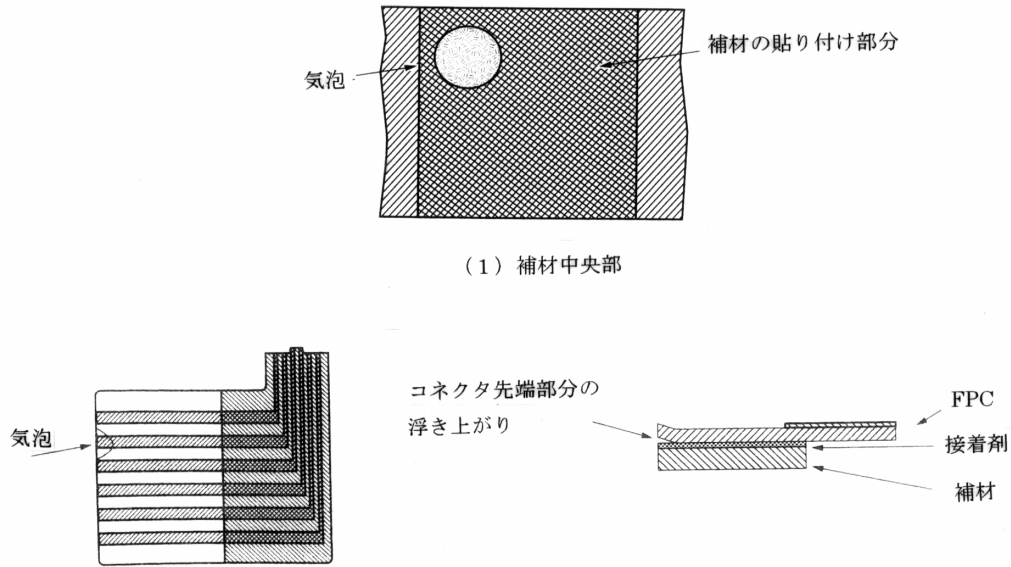


図 19 補材との間の異物

7.5.5.2 補材との間の気泡 図 20 に示すような、フレキシブルプリント板と補材との間に入った気泡は、熱硬化性接着剤を使用している場合には、補材面積の 10%以下とし、その他の接着剤の場合には、補材面積の 1/3 以下とする。ただし、コネクタ挿入端子先端外形に接する気泡（浮き上がり）があってはならない。



(2) コネクタ挿入端子部

図 20 補材との間の気泡

7.5.5.3 補材の欠陥

7.5.5.3.1 クラック 図 21 に示すようなクラックは、表 16 のとおりとする。

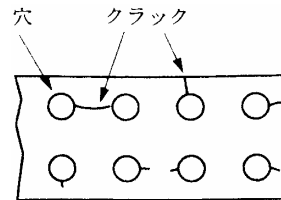


図 21 クラック

表 16 クラック

レベル	クラック
レベル1	実用上問題となるクラックは、あってはならない。
レベル2, 3	補材の穴間にまたがるクラック及び穴と外形とにつながるクラックがあってはならない。

7.5.5.3.2 欠け 図22に示すような補材の欠けの長さ(l)は、1 mm 以下とする。

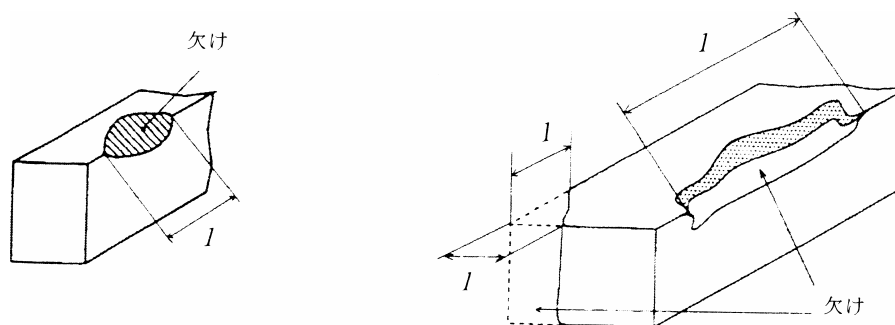


図22 欠け

7.5.5.3.3 きず 必要に応じて、受渡当事者間で協定する。

7.5.5.3.4 反り、ねじれ 実装時及び使用時に支障がなければ可とする。

7.5.6 その他の外観

7.5.6.1 表面の付着物（導体露出部分を除く。）

7.5.6.1.1 硬化性接着剤 硬化性接着剤は、表17のとおりとする。

表17 硬化性接着剤

レベル	硬化性接着剤
レベル1, 2	硬化した接着剤、接着剤の付着したカバーレイやカバーコート及び接着剤の付着した繊維が、イソプロピルアルコールを浸した綿棒でこすっても落ちない程度に固着している場合は可とする。ただし、全厚さの規定がある部分では、その規定に適合しなければならない。
レベル3	目視にて検出可能な付着物があってはならない。

7.5.6.1.2 フラックスの残り フラックスの残りは、表18のとおりとする。

表18 フラックスの残り

レベル	フラックスの残り
レベル1, 2	イソプロピルアルコールを浸した綿棒でこすったとき、綿棒が汚れなければ可とする。
レベル3	目視にて検出可能な残りがあってはならない。

7.5.6.1.3 金属粉（はんだ、アルミ、銅など） この項目は、金属粉が脱落してもフレキシブルプリント板を装着する機器等に問題を生じない場合に適用し、表19のとおりとする。

表19 金属粉（はんだ、アルミ、銅等）

レベル	金属粉（はんだ、アルミ、銅等）
レベル1	金属粉の許容される大きさと個数は、次のとおりとする。 直径 0.1 mm 以上, 0.3 mm 未満 : 3 個/1 製品 以下 直径 0.05 mm 以上, 0.1 mm 未満 : 10 個/1 製品 以下
レベル2	目視にて検出可能なものがないこと。
レベル3	倍率10倍の拡大鏡下で検出可能なものがないこと。

7.5.6.1.4 接着剤のくず 接着剤のくずは，表 20 のとおりとする。

表 20 接着剤のくず

レベル	接着剤のくず
レベル1，2	許容される接着剤のくずの大きさと個数は，次のとおりとする。 直径 1.0 mm 以上，2.0 mm 未満：1 個/1 製品 以下 直径 0.1 mm 以上，1.0 mm 未満：5 個/1 製品 以下
レベル3	目視にて検出可能なものがないこと。

7.5.6.2 しわ フレキシブルプリント板の組み込み加工及び使用上の特性に影響するようなしわ，凹凸，折れなどは不可とする。

必要に応じて，欠陥の各種類ごとに限度見本の作成が望ましい。

しわには，図 23 に示すようなものがある。

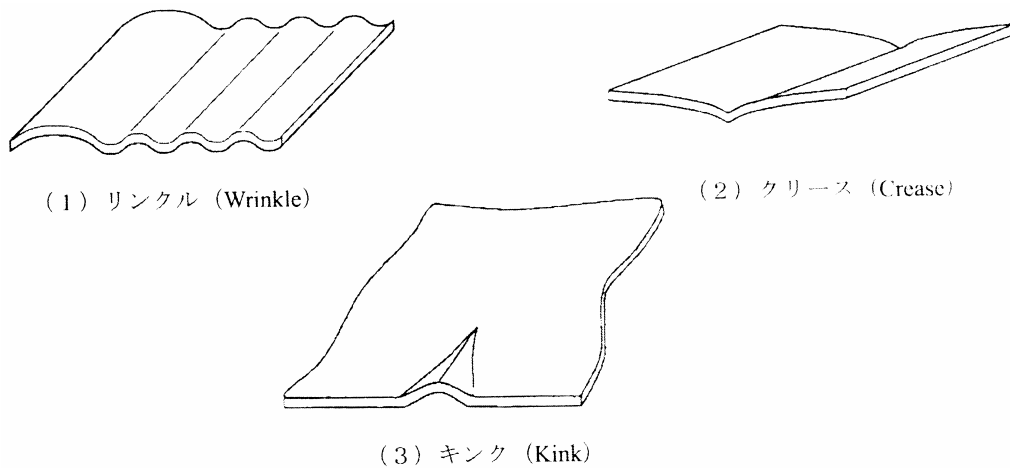


図 23 しわ

7.5.6.3 反り，ねじれ 図 24 に示すような，フレキシブルプリント板の組み込み加工及び使用上の特性に影響するような反り，ねじれ等は，実装時及び使用時に支障がなければ可とする。

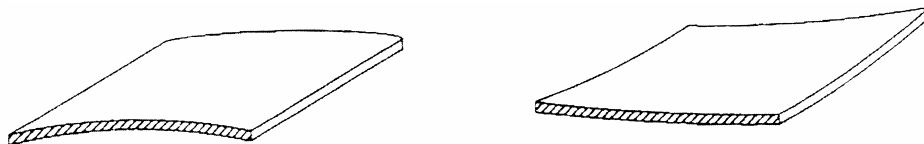


図 24 反り，ねじれ

7.5.6.4 導体

(1) 打こん（押しきず） 図 25 に示すような打こんは、表 21 のとおりとする。

なお、打こんについては、その形状・大きさ・深さ等に良否の判定が困難な場合が多いので、細目は受渡当事者間において限度見本で協定しておくことが望ましい。

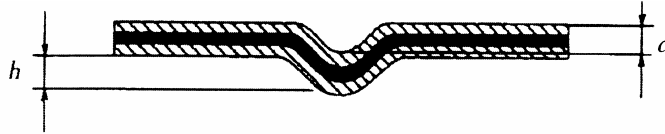


図 25 打こん

表 21 打こん

レベル	打こん（押しきず）の深さ d
レベル1, 2	打こんの深さ(d)は、表面から 0.1mm 以内とする。 深さの測定が困難な場合には、背面のベースフィルムの突起の高さ(h)を打こんの深さ(d)と同等とみなす。
レベル3	打こんが目視にて両面から確認されるものは不可とする。

7.5.6.5 ベースフィルム面

(2) 打こん 図 25 に示すような打こんは、表 22 のとおりとする。

表 22 打こん

レベル	打こんの深さ d
レベル1, 2	打こんの深さ(d)は、表面から 0.1mm 以内とする。 深さの測定が困難な場合には、ベースフィルムの背面への突起の高さ(h)を打こんの深さ(d)と同等とみなす。
レベル3	打こんが目視にて両面から確認されるものは不可とする。

(2) きず 図 26 に示すようなきずは、フィルムにきずのある場合、その深さ(d)は、フィルムの厚さ(t)に対して表 23 のとおりとする。

また、フィルム面には鋭い押しきず、切れ目、裂け及び接着剤層のはく離があつてはならない。繰り返し曲げのかかる部分については、曲げ特性を損なってはならない。

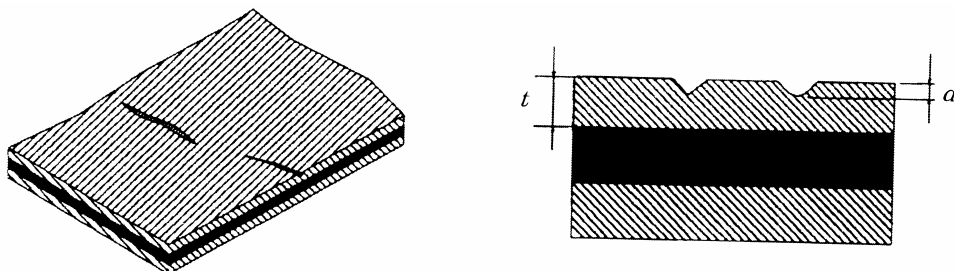


図 26 きず

表 23 きず

レベル	きず d
レベル1, 2	$d \leq 1/3 t$
レベル3	$d \leq 1/5 t$

7.5.6.6 カバーレイ及びカバーコート

(1) 打こん 図 25 に示すような打こんは、表 24 のとおりとする。

表 24 打こん

レベル	打こんの深さ d
レベル1, 2	打こんの深さ(d)は、表面から 0.1mm 以内とする。 深さの測定が困難な場合には、背面への突起の高さ(h)を打こんの深さ(d)と同等とみなす。
レベル3	打こんが目視にて両面から確認されるものは不合格とする。

(2) きず 図 26 に示すような、カバーレイ及びカバーコートにきずのある場合、その深さ(d)は、カバーレイ又はカバーコートの厚さ(t)に対して表 25 のとおりとする。

また、カバーレイ又はカバーコート表面に鋭い押しきず、切れ目、裂け及び接着剤層のはく離があってはならない。繰り返し曲げのかかる部分については、曲げ特性を損なってはならない。

表 25 きず

レベル	きずの深さ d
レベル1	導体の露出がないこと。
レベル2	$d \leq 1/3 t$
レベル3	$d \leq 1/5 t$

備考 カバーコートの厚さは、総厚からカバーコート無しの厚さを減じたものとする。

7.5.6.7 マーキング マーキングは判読できなければならない。

8. 寸法

8.1 寸法測定 フレキシブルプリント板の寸法の測定方法は、JIS C 5016 の 3. (試験の状態), 4. (試料), 5. (前処理) 及び 6.3 (寸法試験) による。

8.2 外形寸法 外形寸法は、表 26 のとおりとする。

表 26 外形寸法の許容差

レベル	外形寸法の許容差
レベル1, 2	製品の外形寸法が 100mm 未満のものは $\pm 0.3\text{mm}$, 100mm 以上のものは $\pm 0.3\%$ とする。
レベル3	受渡当事者間の協定による。

8.3 厚さ 厚さは、表 27 のとおりとする。

表 27 厚さの許容差

レベル	厚さの許容差
レベル 1, 2	製品総厚の±20%とする。
レベル 3	受渡当事者間の協定による。

8.4 製品穴 製品穴は、表 28 のとおりとする。

表 28 穴径の許容差

単位 mm

厚さ t	穴径の許容差
$0.8 \leq t$	± 0.20
$0.2 < t < 0.8$	± 0.10
$t \leq 0.2$	± 0.05

8.5 導体幅 設計導体幅(w)に対する仕上がり幅（下底）の許容差は、表 29 のとおりとする。

表 29 導体幅の許容差

単位 μm

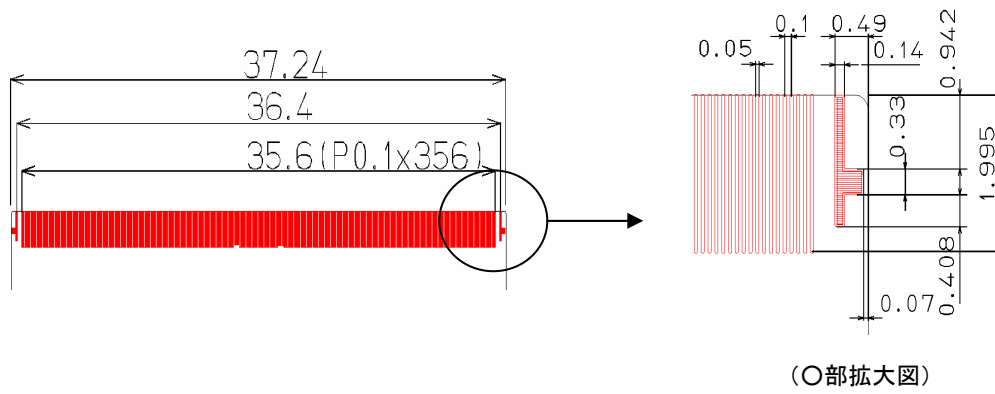
設計導体幅 w	導体幅の許容差
$w < 50$	受渡当事者間の協定による。
$50 \leq w < 100$	± 25
$100 \leq w < 200$	± 50
$200 \leq w$	± 100

8.6 累積導体ピッチ 参考例 1～3 に示す累積導体ピッチは、表 30 による。

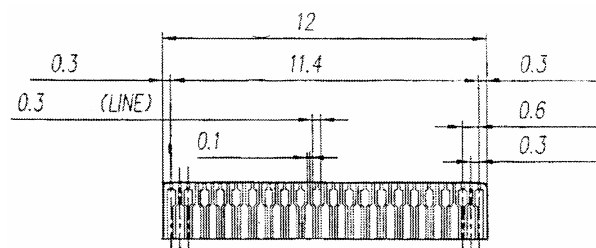
表 30 累積導体ピッチ許容差

	導体ピッチ P (μm)	累積導体ピッチ許容差 (%)
レベル 1	$300 \leq P$	± 0.3
レベル 2	$150 \leq P < 300$	± 0.2
レベル 3	$100 \leq P < 150$	± 0.15
レベル X	$P < 100$	受渡当事者間の協定による。

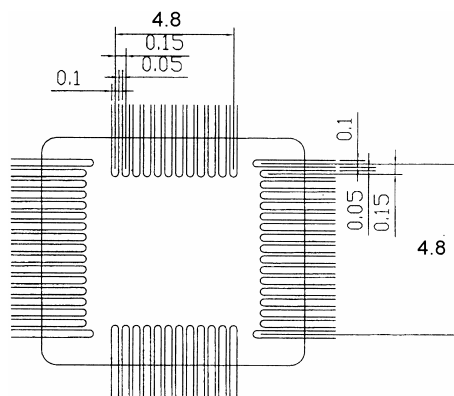
参考 コネクタ (11.4mm 長), IC (一辺 4.8mm 長), 液晶 (35.6mm 長)



参考例 1 ACF 接続端子部



参考例 2 コネクタ端子部



参考例 3 COF 接続端子部

8.7 穴中心間距離 穴中心間距離は、表 31 のとおりとする。

表 31 穴中心間距離

レベル	穴中心間距離の許容差
レベル1, 2	穴中心間距離が 100mm 未満のものは $\pm 0.30\text{mm}$, 100mm 以上のものは、穴中心間距離の $\pm 0.3\%$ とする。
レベル3	受渡当事者間の協定による。

8.8 製品端部と導体端部との設計最小距離 製品端部と導体端部との設計最小距離は、表 32 のとおりとする。

表 32 製品端部と導体端部との設計最小距離

レベル	製品端部と導体端部との設計最小距離
レベル1, 2	製品端部と導体端部との設計最小距離は 0.5mm 以上とする。
レベル3	受渡当事者間の協定による

8.9 ずれ

8.9.1 穴位置のずれ 基準となるパターン又は穴に対する仕上がり後の穴位置のずれは、設計寸法が 100mm 未満の場合の許容差は $\pm 0.3\text{mm}$ とし、100mm 以上の場合は設計寸法の許容差は $\pm 0.3\%$ とする。ただし、バイアは除く。

8.9.2 穴とランド間のずれ 図 27 に示すような、はんだに有効な仕上がり後の最小ランド幅(w)は、表 10 のとおりとする。

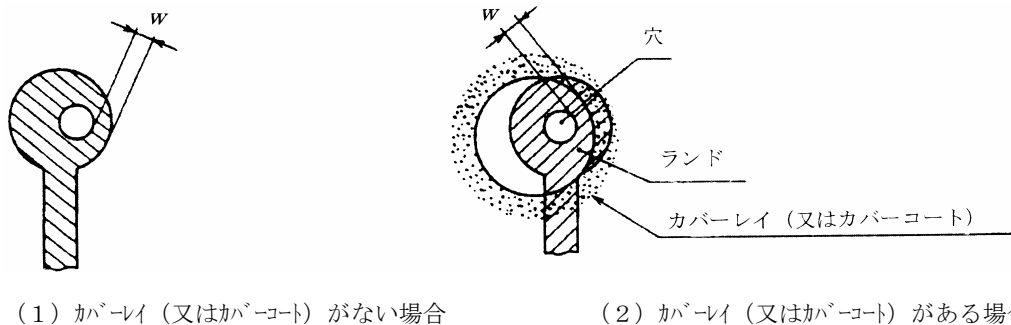


図 27 穴とランド間のずれ

8.9.3 ランド部における有効ランド面積 図 28 に示すような、ランドの有効面積(S)は、表 33 のとおりとする。

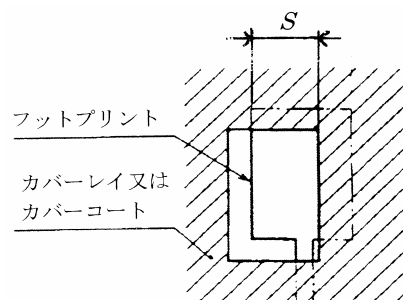


図 28 ランドとカバーレイ又はカバーコートとのずれ

表 33 ランド部における有効ランド面積

レベル	有効ランド面積 S
レベル1, 2	設計ランド面積の 50%以上とする。
レベル3	受渡当事者間の協定による

8.9.4 補材とフレキシブルプリント板との位置ずれ

8.9.4.1 穴ずれ 図 29 に示すような、補材とフレキシブルプリント板との間の穴のずれ(w) は、穴径(D) とずれ(w) との差($D-w$) が、 D の穴径許容差以内でなければならない。

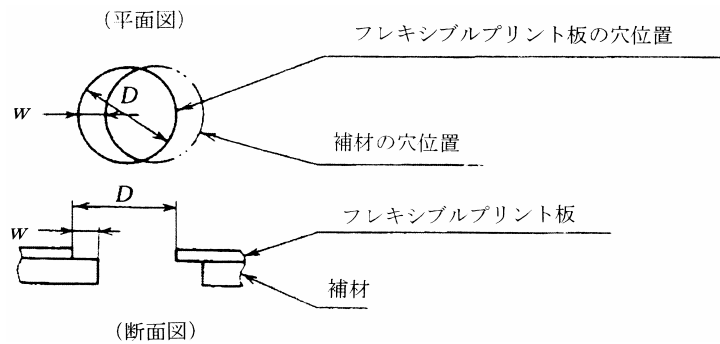


図 29 穴ずれ

8.9.4.2 外形ずれ 図 30 に示すような、外形ずれ(l) は、表 34 のとおりとする。

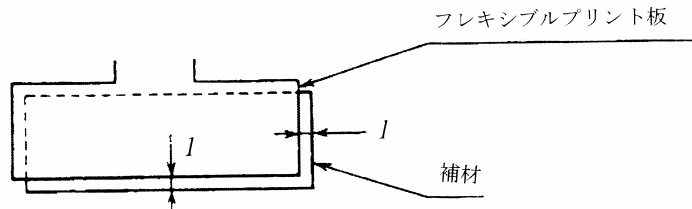


図 30 外形ずれ

表 34 外形ずれ

単位 mm	
レベル	許容差 l
レベル1	$l \leq 0.5$
レベル2	$l \leq 0.3$
レベル3	$l \leq 0.2$

8.9.5 外形の打抜きずれ 外形の打抜きずれは、表 35 のとおりとする。

表 35 外形の打抜きずれ

レベル	外形の打抜きずれ
レベル 1	外形と導体とが接するものは不可とする。ただしめっきリード、補強用独立ランド及び補強用導体は除く。
レベル 2, 3	外形と導体との間げきの最小値は 0.1mm 以上とする。ただしめっきリード、補強用独立ランド及び補強用導体は除く。

8.10 フレキシブルプリント板と補材との間の粘着剤又は接着剤のずれ（流れだしを含む） 図 31 に示すような、プリント板と補材との間の粘着剤又は接着剤のずれ(l)（流れだしを含む）は、 $\pm 0.5\text{mm}$ とする。ただし、部品穴については、穴径の許容差を満足しなければならない。

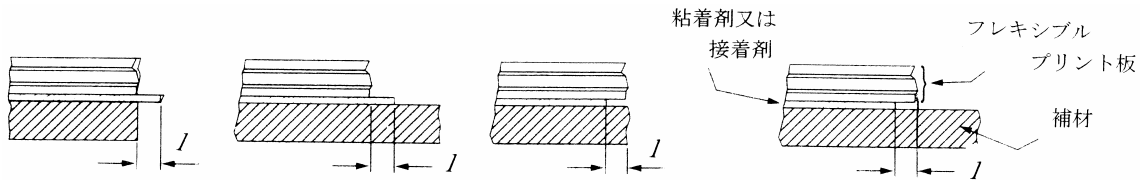


図 31 フレキシブルプリント板と補材との間の粘着剤又は接着剤のずれ（流れだしを含む）

8.11 銅めっきスルーホールの厚さ 銅めっきスルーホールの内壁のめっき厚さは、最小 0.004mm とする。

9. 電氣的性能試験 フレキシブルプリント板の電氣的性能試験は、JIS C 5016 の規定によるものとし、試験項目と規格値は表 36 のとおりとする。

表 36 フレキシブルプリント板の電氣的性能

項目番号	項 目		特 性 値	試験方法 (JIS C 5016)
9.1	導体の抵抗		受渡当事者間の協定による。	7.1 (導体の抵抗) の規定による。
9.2	表面層の絶縁抵抗	受理時	$5 \times 10^8 \Omega \leq$	7.6 (表面層の絶縁抵抗) の規定による。
		耐湿試験後	レベル 1 : 電氣的機能を保持していること。 レベル 2 : $1 \times 10^8 \Omega \leq$ レベル 3 : $5 \times 10^8 \Omega \leq$	9.4 [耐湿性(温湿度サイクル)] 及び 7.6 の規定による。
9.3	表面層の耐電圧		印加電圧交流 500V で、フラッシュオーバーしないこと。	7.5 (表面層耐電圧) の規定による。
9.4	導体の断線		$1 \text{ k}\Omega \leq$ (2)。	7.7.2 (回路の導通試験) の規定による。
9.5	導体間の短絡		$\leq 100 \text{ k}\Omega$ (2)。	7.7.1 (回路の絶縁試験) の規定による。

注 (2) この数値は、製品判定用に用いる検査機のしきい値とは、必ずしも一致しない。

10. 機械的性能試験 フレキシブルプリント板の機械的性能試験は JIS C 5016 の規定によるものとし、試験項目と規格値は、表 37 のとおりとする。

表 37 フレキシブルプリント板の機械的性能

項目番号	項 目	特 性 値	試験方法 (JIS C 5016)
10.1	引 き は が し 強 さ	導体	0.49 N/mm $\leq$
		カバーレイ	0.34 N/mm $\leq$
		補材	熱硬化接着剤 : 0.34 N/mm $\leq$ 粘着剤 : 0.15 N/mm $\leq$
10.2	引離し強さ めっきがない穴、及び フットプリント	レベル 1 : 規定しない レベル 2, 3 : 1 N/mm ² $\leq$	8.2 (めっきがない穴のランドの引離し強さ) 及び 8.3 (フットプリントの引離し強さ) による。
10.3	めっきの密着性	はがれがないこと。	8.4 (めっき密着性) の規定による。
10.4	はんだ付け性	はんだ付け性の良好な部分が、めっきされた全面積の 95% 以上であること。ただしポリエステルフィルムをベースとするフレキシブルプリント板には適用しない。	10.4 (はんだ付け性) の規定による。
10.5	耐屈曲性	カバーレイを施したフレキシブルプリント板について、受渡当事者間の協定による屈曲半径と繰返し速度における屈曲回数を満足すること。	8.6 (耐屈曲性) の規定による。ただし、この繰返し速度では試験時間が長くなりすぎるので、1000 回/分以上で試験することが望ましい。
10.6	耐折性	カバーレイを施したフレキシブルプリント板について、受渡当事者間の協定による折り曲げ部曲率半径及び荷重下での折り曲げ回数を満足すること。	8.7 (耐折性) の規定による。

11. 環境試験における性能 フレキシブルプリント板の環境試験は、JIS C 5016 とし、試験項目と規格値は表 38 のとおりとする。

表 38 環境試験における性能

項目番号	項 目		特 性 値	試験方法 (JIS C 5016)
11.1	温度サイクル		受渡当事者間の協定により、条件を設定して試験し、当該項目の試験前後の特性を満足すること。	9.1 (温度サイクル) の規定による。
11.2	耐湿性	常態	上項に同じ	9.5 [耐湿性(定常状態)] の規定による。
		温湿度サイクル	上項に同じ	9.4 [耐湿性(温湿度サイクル)] の規定による。
11.3	耐熱衝撃性	高温浸せき	上項に同じ	9.3 [熱衝撃(高温浸せき)] の規定による。
		低温高温サイクル	上項に同じ	9.2 [熱衝撃(低温・高温)] の規定による。
11.4	層間接続（銅めっきスルーホール等）の耐熱衝撃性		層間接続（銅めっきスルーホール等）の導通抵抗値の変化率が、20%以下であること。	10.2（銅めっきスルーホールの耐熱衝撃性）の規定による。
11.5	耐マイグレーション性		$10^8 \Omega \leq$	この JPCA 規格の付属書 2 による。
11.6	機械的外部応力カウイスカ		受渡当事者間の協定による。	この JPCA 規格の付属書 3 による。

12. 耐薬品性 JIS C 5016 の 10.5（耐薬品性）の試験を行ったとき、試料に膨れやはがれがあつてはならない。
また、シンボルマークに、著しい損傷があつてはならない。

13. 清浄度 測定方法及び規格値については、受渡当事者間の協定による。

14. 耐燃性 受渡当事者間の協定による。

15. 表示、包装及び保管 15.1 及び 15.2 は受渡当事者間の協定を基本とするが、参照ガイドラインとして示す。

15.1 製品における表示

- (1) 品名又は製品コード
- (2) 製造業者又はその略号

15.2 包装における表示

- (1) 品種（フレキシブルプリント板であることを明示する名称又は記号を、見易い箇所に表示する。）
- (2) 品名又は製品コード
- (3) 包装内の数量
- (4) 製造工程の追跡ができる製造ロット番号又は製造年月
- (5) 製造業者名又はその略号

15.3 包装及び保管

15.3.1 包装 包装は、表 39 のとおりとする。

表 39 包装

レベル	包装
レベル1	包装は、輸送中に製品に傷が付かないよう配慮されている。
レベル2	レベル1に加えて、室温での保管中の湿気を避ける配慮がされている。
レベル3	レベル2に加えて条件を具体化する場合、受渡当事者間の協定による。

15.3.2 保管 フレキシブルプリント板は、湿気を避ける措置がされた場所に保管しなければならない。

15.3.3 取り扱い フレキシブルプリント板の扱いに起因する事故防止を目的とした注意点を付属書 1 に示す。

付属書 1 FPC（ポリイミドベース）取り扱い上の注意点

1. 保管及び取り扱い

製品の保管中、あるいは取り扱いにあたって吸湿したとき、又は薬品に触れた場合は、脱湿及び薬品を払拭して下さい。変色や性能劣化の原因になることがあります。

導体部分の防錆処理の有効期間は、温度、湿度管理された室内保管で製造後 6 ヶ月間。めっき、クリームはんだの場合は一年間を目処として下さい。

乱暴な扱い、配線板相互の重ね等による機械的なダメージ防止の他にも注意すべき点があります。それは、異物混入の防止措置です。検査、自動機へのセット等、配線板を扱う作業の際に、皮膚の油分が導体の錆や変色の原因になったり、シリコン成分を含むハンドクリームが付いたために、後工程でレジスト層や封止層の接着不良が起きることもあります。

これらの予防として、手袋が着用されますが、汚れた手袋の定期的交換、手袋から微細な繊維屑が発生することも留意して運用してください。

2. 部品実装及び機器への組み込み ねじ締めや かしめの力を調節して下さい。強すぎると、素材が破砕することがあります。

3. はんだ付け作業について

3.1 前処理 FPC のベースフィルム及びカバーレイに使用しているポリイミドは、非常に吸湿し易く、フィルム単体では約 4 時間で吸湿が飽和状態になります。この状態でリフロー炉や、噴流はんだ付装置によるはんだ付けを行うと、急激な温度変化により FPC に膨れが発生し易くなります。予備乾燥は、この吸湿した水分を除去するために実施するものであり、部品実装の前工程として加えることを推奨します。

予備乾燥条件は、FPC 構成により下記の条件による処理が必要です。

FPC	パターン構成	補材材質	予備乾燥温度	乾燥時間
片面 FPC	パターンのみ (信号ライン等の 細いラインのみ)	なし	80℃	30 分以上
		フィルム	80℃	1 時間以上
		ガラスエポキシ板等	120℃	1 時間以上
両面 FPC	パターンのみ (信号ライン等の 細いラインのみ)	なし	80℃	30 分以上
		フィルム	80℃	1 時間以上
		ガラスエポキシ板等	120℃	1 時間以上
	ベタパターンあり (グラウンドライン等が ある場合)	なし	120℃	30 分以上
		フィルム	120℃	1 時間以上
		ガラスエポキシ板等	120℃	2 時間以上

FPC やパターン構成により乾燥時間に違いがあるのは、構成の違いにより、ポリイミド層や接着剤層の水分を除去する時間に差が生じるためです。

予備乾燥後の FPC は、一般的な環境（空調されている室内）で放置した場合、予備乾燥を行った当日にはんだ付けを行うことを推奨します。はんだ付けが翌日になる場合は、防湿袋に入れて保管することを推奨します。防湿袋にシリカゲルを入れ、シールする事により、使用可能期間を一ヶ月程度まで延長することが可能となります（期間は、防湿袋

の種類により変化します。))。

また、リフロー後、1 日以上放置してから、手はんだ付け、噴流はんだ付け等を行う時には、80℃、1 時間以上の予備乾燥の追加を推奨します。

3.2 はんだ付け作業 はんだ付け温度が高すぎたり、時間が長かったりすると配線板のはく離や膨れが発生することがあります。

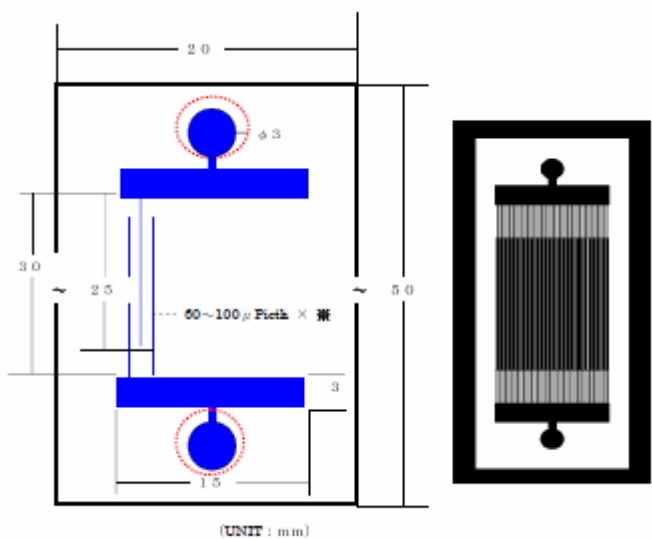
また、加熱中に、過度に曲げたり、こて先に力を入れるとランドがはがれることがあります。適切な条件を回路パターンや作業場所に応じて調節して下さい。

作業にあたっては、火傷にご注意下さい。微細なはんだボールやフラックスの飛び散りの危険性がありますので、保護メガネ等の防具を使用することを推奨します。

4. 廃棄処分 産業廃棄物として所定の廃棄処分をして下さい。許可のない焼却処分や地中・水中への投棄はしないで下さい。

5. 鉛フリーめっきの採用及び切り替え時について 従来の錫-鉛共晶はんだから鉛フリーはんだめっきとして錫系めっきに切り替える場合は、ウィスカの発生による回路間短絡や異物発生が懸念されます。

ウィスカ発生の程度については、錫系めっき部位に外から応力を加えることになる部品の材質、形状、加えられる応力等多くの変動要因に左右されるため、FPC を組み込んだ実機状態での十分な検討が必要となります。ウィスカの発生が全く許容できないような用途については、設計段階にて、金めっきあるいは有機防錆皮膜処理を選択することが必要となります。

項 目	フレキシブルプリント配線板の耐マイグレーション試験	付属書 2
試 料	形状は、図 1 に示す構成とし、次による。 ・製品の設計仕様と同一材料（カバーレイ，カバーコートを含む）を用いる。 ・パターン数は，75 本とする。 ・導体幅／導体間げき(μm)は，「60／60 ～ 100／100μm」の範囲で，受渡当事者間の協定による。 ・試料は，試験の信頼性を考慮して，1～10 枚の範囲で，受渡当事者間の協定による。  (UNIT : mm) 参考 丸点線部は，カバーレイ，カバーコートの開口部 図 1 マイグレーション試料構成	
試験条件	試験条件は，次による。 ・温度／湿度 ： 85℃／85％ ・印加電圧 ： DC15V 又は DC50V のいずれかとし，受渡当事者間の協定による。 ・試験時間 ： 250, 500, 1000 時間のいずれかとし，受渡当事者間の協定による。	
装 置	装置は，次による。 ・試験槽は，温度 85±2℃，湿度 85±3％に保持できるもの。 ・絶縁抵抗計を用いる。	
前 処 理	—	
測 定	試験条件による処理後，JISC5016 の 7.7.1 に規定の回路の絶縁試験により，上記の印加電圧（DC15V 又は DC50V のいずれか）の下で絶縁抵抗値を測定する。	

項 目	フレキシブルプリント配線板の機械的応力ウィスカ試験 (JPCA-YAMAICHI method)	付属書 3
試 料	試料は、次による。 ・ 試料は、FPC のコンタクト部とし、受渡当事者間の協定による。 ・ 試料数の推奨値は、N = 5	
装 置	装置は、次による。 ・ 図 1 及び図 2 に示すような構成の装置。 ・ 金属顕微鏡・SEM等（倍率 100 倍以上）。 図 1 装置の構成例 図 2 装置の例（簡易荷重試験治具） 【JPCA-YAMAICHI method】	

試験条件	試験条件は、次による。 ・ 温度：室温 $25 \pm 5^{\circ}\text{C}$ ・ 湿度：$55 \pm 30\%$ ・ 加重：$200 \pm 10\text{ g}$ ・ 時間：推奨値として 96 時間を評価の第一ステップとする。
評 価	金属顕微鏡又はSEM等を用いて、発生の根本から一番遠い距離で $50\text{ }\mu\text{m}$ 以上のものの形状，本数を観察する。 なお，$50\text{ }\mu\text{m}$ 以下のものは，受渡当事者間の協定による。
注意事項	・ 振動が，試料に伝わらないように配慮すること。例えば防振台上に設置する。 ・ この試験は，絶対試験ではなく，相対試験である。 ・ 補材，接着剤の種類とそれらの有無により，ウイスカ発生状況が異なるので，補材なしで試験が行われることが望ましい。 ・ なお，錫系めっき種類により，ウイスカ発生までの時間（潜在時間）も異なることも考慮する必要がある。 ・ 試験前には，必ずピッカース圧子の表面に，ゴミ等の付着がないことを確認すること。 ・ 実用上は，嵌(かん)合すべきコネクタとの嵌合試験を行うことを推奨する。 ・ また，錫合金めっきは，機械的外部応力によるウイスカの発生だけでなく，温度，熱衝撃試験に代表される環境試験等での，いわゆる内部応力ウイスカ試験を行うことを推奨する。
備 考	本方法は，山一電機(株)により開発された方法であり，圧子形状，サンプル数，評価方法をフレキシブル規格部会で検討し，フレキシブルプリント配線板のウイスカ試験の 1 方法として規格化した。 参考文献：JIEP 第 19 回全国大会 藤野，銅谷「外部応力によるコネクタウイスカ試験方法」

JPCA-DG02-2006 片面及び両面フレキシブルプリント配線板 解説

この解説は、本文に規定した事柄及びこれに関連した事柄を説明するもので、規格の一部ではない。

I. 制定の経緯

【JPCA-DG02-1997（初版）解説より】

1992 年に JPCA-FC03（フレキシブルプリント配線板 外観基準）を制定し、従来規定されていないが実際使用時によく問題となる外観基準を規定することができた。この時の制定目的は、「極めて一般的な外観水準」を規定して受渡当事者間の外観に対する概念の相違から生じる必要以上の紛糾を避け、コストパフォーマンスを追求してフレキシブルプリント配線板（以下、FPC とする。）の一層の発展を図り、ユーザの期待に応えることを企画したものであった。その後本内容は、1994 年に制定された JIS C 5017（フレキシブルプリント配線板 片面／両面）に引き継がれている。

今回の JPCA デザインガイドマニュアルは、上記の規格を基に、最終的には IEC 規格を制定するための足がかりとするものである。制定時の案の段階では、IEC 規格 IEC 326-7、326-8 の様式を基に、米国の IPC 規格特に IPC-FC-250A をも参考にして作成した。従って、全体の構成は IEC 規格に準拠したものとなっている。最も苦慮した点は、クラス分けの問題である。従来の JPCA-FC03 及び JIS C 5017 の中には、クラス分けという概念は入れられていなかったが、IEC 規格とするためにはクラス分けが必要であった。ただし、従来の IPC 等の規格にあるクラスは、特性値により分類しているため、全ての項目に関してクラスが一義的に適用されている。これは、通常クラスで十分のものでも高品質クラスとしなければならないなど実際的でない場合があった。今回“クラス”という言葉で“レベル”とし、要求レベルの高低を基にレベル分けを行った。そして原則としてはレベル 1、2、3 を全体に適用するが、より実際に則するように、規定する個々の項目ごとに必要なレベルを選択して使用することができるとした。このため、規格としては従来の概念の枠に入らない点もあり、名称もデザインガイドマニュアルとして、よりフレキシビリティを持たせることとした。

【以上、JPCA-DG02-1997（初版）解説より】

JPCA-DG02-1997（初版）は、1999 年に米国 IPC との合同規格化（IPC/JPCA-6202）を経て、一旦 IEC（国際電気標準会議）の IEC/PAS（Publicly Available Specification）62123 として制定されたが、原本となった JPCA-DG02 は、2004 年に JPCA-DG02-2004（第 2 版）として改訂された。フレキシブルプリント配線板の携帯電話や HDD への使用が増加し、パターン細線化、ワイヤボンディング、ACF（異方導電性フィルム）による IC 接続が普及したことから現状に則した内容に見直す必要が出てきたためである。

更に今回、2006 年 2 月に発行された材料規格「JPCA-BM03-2006/CFIA-0006-2006 フレキシブルプリント配線板用銅張積層板（接着剤及び無接着剤タイプ）Copper-Clad Laminate for Flexible Printed Wiring Boards (Adhesive and Non-adhesive types)（日本語/英語併記）」の内容を勘案し、昨今の携帯電話等での設計実情を踏まえて、8.6 項に累積導体ピッチに関する仕様と参考図も加えた。また、試験方法に関して、フレキシブルプリント配線板のマイグレーション、ウィスカの試験方法を「付属書」として追加し、2006 年版（第 3 版）として改正した。

これら日本ならびにアジアの生産実情に即した頻繁な改版の必要性から、IPC/JPCA-6202 合同規格としての維持改版は中止し、今後は日本語英語併記の JPCA-DG02 単独での改訂を行うことになった。これらの改版内容を含めて再度 IEC の PAS 文書として提案も予定されている。

なお、フレキシブルプリント配線板に関する JIS 規格「JIS C 5017（1994）：フレキシブルプリント配線板一片面・

両面」については、政府の規制緩和推進政策（平成 7 年 3 月 31 日閣議決定）の具体策の一つとして、各々に対応する国際規格（IEC 規格）の翻訳規格とすることとなっているが、現在対応する IEC 規格の制定年度が古く、また実情に則さないため、当面は現行版が適用されている。

本規格のこれら国内、国際的位置づけを鑑み、規格名称としては JPCA-DG02-2006「片面及び両面フレキシブルプリント配線板」(Performance Guide for Single- and Double-sided Flexible Printed Wiring Boards)とした。

II. 各規定項目の補足説明（この解説の項目番号は、本文の項目番号による。）

5. レベル；仕様項目の分類と特性レベルの適用について 初版（1997 年度版）において、FPC が従来からプリント板の一分野に分類されてきた経緯を踏まえ、従来の JIS 規格との整合及び今後の国際規格への提案を勘案して、本デザインガイドの仕様項目の分類はプリント板用 IEC 規格に準じて構成した。

しかし、FPC においては、基板の用途によって要求される重点特性項目が異なり、なおかつ 1 枚の基板の特定な部分のみにレベルの高い個別仕様項目が要求される場合が少なくない。

例えば、繰り返し屈曲に用いられる FPC では、「屈曲部分には打こん、回路欠損なきこと」のような特別仕様が要求される場合がある。

このほかにも、FPC で注目される要求仕様項目と用途には、次のようなものがある。

1. 寸法精度（微細接続用ファイン回路等）
2. 屈曲特性（携帯電話用、DVD 用、HDD 用、FDD 用、プリンター用、その他折り曲げされる用途）
3. 清浄度（HDD 用汚染対策等）
4. 表面処理（COF 用 FPC）

これらにみられるように、特定な仕様項目が基板全体の品質（信頼性）とコストを左右する点に FPC の特殊性がある。従って、「レベル」は基板ごとに一意に決められるものではなく、各項目は独立してレベルを選択するのみならず、一枚の FPC のなかでも部分的に異なったレベルを選択して運用することもあることを想定している。

7.5.1.2 欠け、ピンホール 数値は、はんだ付け、部品の取り付けなど FPC を使用するうえで機能に支障が無いことの目処として定めたものである。

ランド上にある欠損に関しては、実際に起こる現象であり、初版（1997 年度版）において規定した。10%に関しては、現行よく受渡当事者間にて用いられている値を用いた。

7.5.1.4 広いスペースでの導体の残り又は突起 実際に起こる現象であり、初版（1997 年度版）において規定した。ここでの広いスペースとは「0.375mm 以上」とし、規定としては、電気特性に問題無いことを前提に 0.125mm という値を決めた。

7.5.2.2 異物 異物に関しては、非導電性異物は、従来、パターンに 3 本以上にまたがらないと規定していたが、パ

ターンが高密度化している実態に合わなくなっており、初版(1997年度版)において絶対値による規定に変更した。

7.5.3.1.1 金めっき めっきの付着不良の例(図13)に、COF 接続部、ACF(異方性導電膜)接続端子部、キー接点部の例を追加し、レベル2、3として許容範囲を規定した。

13. 清浄度 HDD(ハードディスクドライブ)やCOF等用途によっては、不揮発性残さ(NVR)、有機性シリコーン(Silicone)、イオンコンタミネーション(塩素等)が問題視され、測定方法にはFTIR法、イオンクロマトグラフィー法等がある。

15.3.2 保管 保管に関しては、保管後の使用するはんだ耐熱性を維持するための使用前乾燥条件を明示した。

付属書1 (5. 鉛フリーめっきの採用及び切り替え時について) FPCメーカーにおいては、鉛フリーはんだのめっきは、従来の錫-鉛共晶はんだめっきの代替として錫系めっきを選択しているのが一般的である。しかし、FPCの端子表面処理の鉛フリー材として使われる錫系めっきには、電気回路の回路間短絡の原因となり得るウイスカの成長という技術的課題がある。特に、錫系めっき表面に応力が加えられた場合において、ウイスカの成長が助長されることが最近になって確認されるようになった。ウイスカの危険性を予測するためには、試験方法の開発が重要である。現在、社団法人電子情報技術産業協会(JEITA)において試験・評価方法の開発、標準化を目指して活動しており、JPCAも協力している。

FPC業界では、錫系めっきとして、一般的に錫-銅が使われているが、錫金属特有の性質からウイスカの発生を完全に抑える方法は、見出されていないのが現状である。錫系めっきにおけるウイスカ抑制方法としては、応力緩和策としてのアニーリング、あるいはリフロー等が各FPCメーカーにおいて検討されているが、完全な防止策とはなり得ていない。従来の錫-鉛共晶はんだめっきにおいても、突起物が成長するという報告もあり、錫系めっきを使う以上ウイスカの発生を完全に抑えることは非常に困難であるという認識を各FPCメーカーとも持っている。

そのため、今回の改正版において、鉛フリーめっきの採用及び切り替え時における留意事項を記載した。

付属書2 マイグレーションについて

ファインパターン製品におけるマイグレーション特性の評価が求められているなかで、回路幅/導体間隙100 μm 以下のテストパターンならびに試験条件について現状に即したものを提示した。

付属書3 ウイスカ発生に関わる要因について

FPCのウイスカに影響する要因としては、外力による内部応力、錫等のFPCに施されためつき厚さ、用いたFPCサンプルの補材種類・厚さ、接着剤種類・厚さ、リフロー工程の有無等が知られているが、ウイスカ成長のメカニズムとこれら要因との関係はまだ完全には解明されていない。

本書に関して、ご意見、ご要望等がありましたら、本用紙にご記入の上、工業会事務局（Fax 03-5310-2021, e-mail : std@jpca.org）までご送付下さい。次回改訂の際に参考とさせていただきます。

会社名		氏 名	
		役 職	
住 所	〒 ☎		

**Performance Guide for Single- and
Double-sided Flexible Printed Wiring Boards**

JPCA-DG02-3ed.– 2006

Standardization Committee of JPCA for Flexible Printed Circuit Boards

Chair	Mr. CHIDA, Nobuaki	Nippon Mektron, LTD.
Secretary	Mr. KASHIWAGI, Shuji	Sumitomo Electric Printed Circuits, Inc.
Member	Mr. AKATSUKA, Takahisa	Nippon Mektron, LTD.
	Mr. ANZAI, Yukio	Sony Chemical Corp.
	Dr. IMAGAWA, Kiyomi	Mitsui Chemicals, Inc
	Mr. UMEMURA, Hirotaka	Nikkan Industries, Co., Ltd.
	Mr. OGUNI, Masahiro	Du Pont - Toray Co., Ltd.
	Mr. KAWAI, Fumihisa	Du Pont Kabushiki Kaisha
	Mr. KUROIWA, Toshiaki	Ube Industries, LTD.
	Mr. KOBAYASHI, Seiju	Nitto Denko Corp.
	Mr. SASAKI, Masayuki	Chemitox, Inc.
	Mr. SUGAYAMA, Hiroyuki	Sony Chemical Corp
	Mr. TAHARA, Shuji	Mitsui Chemicals, Inc
	Mr. TSUKAKOSHI, Yukio	Sumitomo Metal Mining Co., Ltd.
	Mr. NISHIGAWA, Tadahiho	Toray Advanced Film Co., Ltd.
	Mr. HAYASHI, Hidenori	Microhard Corp.
	Mr. HAYAMI, Toshiyuki	Fujikura Ltd.
	Mr. HIRAI, Masatoshi	Akita Sumitomo Bakelite Co., Ltd
	Mr. YAMASAKI, Makoto	Nippon Steel Chemical Co., Ltd.
	Mr. YAMAMOTO, Tetsuya	Toray Industries, Inc.
	Mr. YAMAMOTO, Manabu	Matsushita Electric Works, Ltd.
	Mr. YOKOTA, Hidekazu	Kaneka Corp.
Secretariat	Mr. KURIHARA, Masahide	Japan Electronics Packaging and Circuits Association
	Dr. SHIBATA, Akikazu	Japan Electronics Packaging and Circuits Association
	Mr. KOIZUMI, Toru	Japan Electronics Packaging and Circuits Association
	Mr. OBATA, Takafumi	Japan Electronics Packaging and Circuits Association

JPCA Standard

Performance Guide for Single- and Double-sided Flexible Printed Wiring Boards

JPCA-DG02

1. Scope This standard provides the requirements for the single- and double-sided flexible printed wiring boards (hereinafter designated as "flexible printed board" or FPC).

In this document, an FPC means a single- or double-sided FPC prepared by lamination of a film of polyester or polyimide with copper foil(s) on one or both sides of a board including the type with no adhesive layer, and with conductor pattern formed by the subtractive method (etching of the copper foil), or possibly by the build-up method.

2. Normative references

The reference documents to this standard include:

JPCA-TD01(2000)	Terms and Definitions for Printed Circuits
JPCA-BM03(2003)	Flexible Printed Wiring Boards (Adhesive and Adhesiveless Types)
JIS C 5016 (1994)	Test Methods for Flexible Printed Wiring Boards
JIS C 5017 (1994)	Single and Double Sided Flexible Printed Wiring Boards
JIS C 5603 (1993)	Terms and Definitions for Printed Circuits
JIS C 6471 (1995)	Test Methods of Copper-clad Laminates for Flexible Printed Wiring Boards
JIS C 6472 (1995)	Copper-clad Laminates for Flexible Printed Wiring Boards (Polyester Film, Polyimide Film)
JIS C 6515 (1998)	Copper Foil for Printed Wiring Boards
IEC 60326-7 (1981)	Printed Boards. Part 7: Specification for single and double sided flexible printed boards without through connections.
IEC 60326-8 (1981)	Printed Boards. Part 8: Specification for single and double sided flexible printed boards with through connections.

The latest versions of the documents, especially of IEC documents, are to be used.

3. Terms and definitions The terms and definitions given in JIS C 5603, JIS C 5017, JIS C 5016, and JPCA-FC03 are to be used in this document.

4. Test Methods The test methods used in this document as specified below shall be in conformance with JIS C 5016. In addition, the following notes shall be

- (1) Test methods requiring complicated referencing procedures are reproduced in this document.
- (2) Tests on through connection apply only to double-sided FPCs.
- (3) External appearance is the only requirement specified in this document for stiffeners affixed to FPCs.

5. Performance Levels The FPCs are classified into three levels, levels 1, 2, and 3, and an additional special level, level X, for applications requiring a special attention. They are defined as:

Level 1 -- FPCs requiring "ordinary" performance.

Level 2 -- FPCs requiring "high" performance.

Level 3 -- FPCs requiring "extra-high" performance.

Level X -- FPCs requiring special performances which do not belong to the above mentioned three levels, and the specifications requiring an agreement between user and supplier..

A relevant level of the board is chosen for a specific application of the board. A different level can be selected to a specific section of the board when the required specification of the section is different from that of another part of the board.

6. Base materials The base materials used in FPCs shall satisfy the requirements specified in JPCA-BM03.

7. Visual Inspection

7.1 Test environment The test environment shall meet the requirements of JIS C 5016, 3, "Test Conditions".

7.2 Test specimens The test specimens shall meet the requirements of JIS C 5016, 4, "Test specimens".

7.3 Tools for testing A magnifying glass having a magnification of 3X to 10X shall be used for examining the appearance and the surface finish conditions of the product. Dimensions shall be measured with a scaled magnifying glass or an instrument capable of two-dimensional coordinate measuring if necessary. Thickness shall be measured with a micrometer having an accuracy of 1 μm or better.

7.4 Preparation of limit samples Limit samples showing the required criteria to make technical judgments may be prepared under agreement between user and supplier for application of this document.

7.5 Description of inspection Requirements, procedures, and illustration for visual inspections are given in 7.5.1 through 7.5.6. Requirements that are not designated for a specific performance level shall apply to all the performance Levels 1, 2 and 3.

7.5.1 Visual inspection of conductor

7.5.1.1 Open and short circuit There shall be no open and/or short circuit on FPCs.

7.5.1.2 Nicks and pinholes on conductor

(1) The allowable width (w_1) and length (l) of a nick and a pinhole of conductor reducing conductor width, as shown in Figure 1, shall meet the requirement given in Table 1 for the finished conductor width (W) (see Note 1).

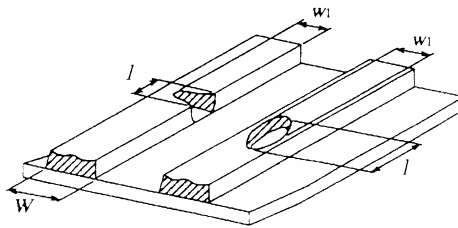


Figure 1 Nicks and pinholes in conductor

Note: 1 The width of the finished conductors shall be measured at the bottom of the conductor.

Table 1 Allowable nicks and pinholes

Level	Nicks and pinholes	
1 and 2	$w_1 \leq 1/2W$	$l \leq 2W$
3	$w_1 \leq 1/3W$	$l \leq W$

(2) The void area on a land, as illustrated in Figure 2, shall not exceed 10% of the effective exposed land area.

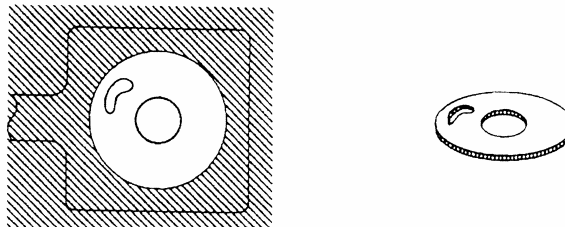


Figure 2 Reduced area on land

(3) The circumferential void of a lead insertion hole, as illustrated in Figure 3, shall not exceed 1/3 of the total circumference.

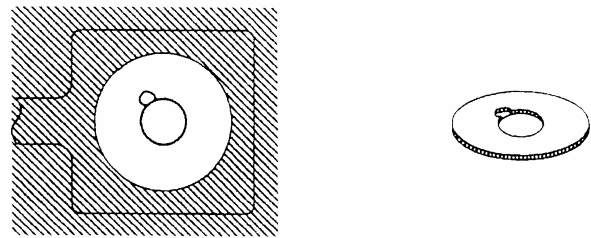


Figure 3 Circumferential void at the component hole

7.5.1.3 Distance between conductor/spur and nodule of conductor The distance (s_1) or ($s_2 + s_3$) in Figure 4 relative to the finished conductor spacing (s) shall meet the requirement given in Table 2.

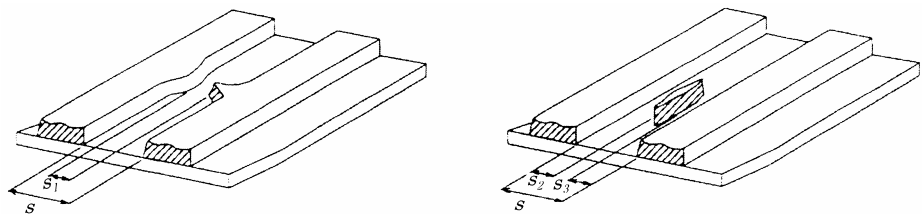


Figure 4 Unnecessary copper between conductor/spur and nodule of conductor

Table 2 Allowable unnecessary copper, spur and nodule between conductors	
Level	Unnecessary copper, spurs and nodules, s_1 or ($s_2 + s_3$)
1 and 2	$1/2 s_1 \leq a$ or ($s_2 + s_3$)
3	$2/3 s_1 \leq a$ or ($s_2 + s_3$)

7.5.1.4 Unnecessary copper between conductor/spur and nodule of conductor in an open area The spacing (s) between the board edges and the unnecessary copper or spur and nodule shall be larger than 0.125mm in an open area where no conductor pattern is routed, as illustrated in Figure 5,. The spacing (s) between the board edge and the unnecessary copper or spur and nodule shall be larger than 0.125mm. The open area as stated in this clause shall have a width no less than 0.375mm.

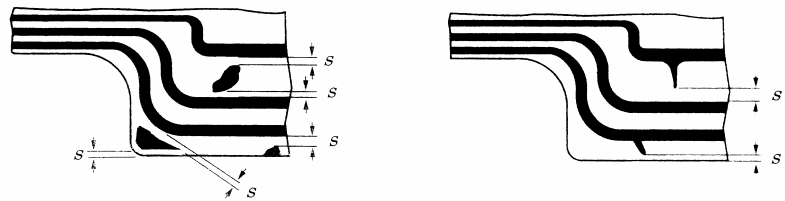


Figure 5 Unnecessary copper, spurs and nodules in an open area and nodules of conductor corners

7.5.1.5 Etched concave surface of the conductor Etched concave surface (d) of the conductor relative to the conductor thickness (t), as illustrated in Figure 6, shall meet the requirement given in Table 3. The concave surface shall not run across the entire width of a conductor.

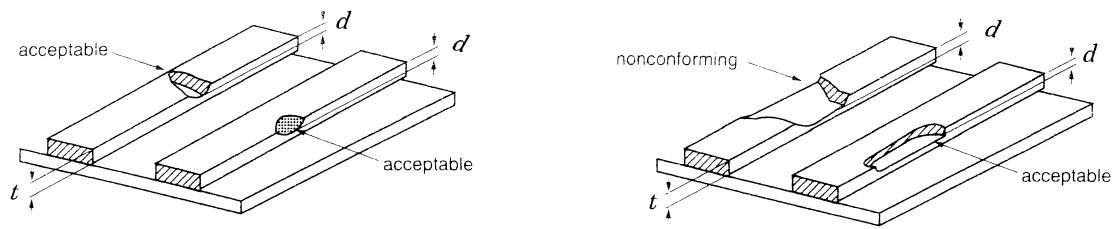


Figure 6 Etched concave surface of the conductor and nodule at a conductor corner

Table 3 Allowable etched concave of the surface conductor

Level	Etched concave surface of the conductor, d (t: conductor thickness)
1 and 2	$d \leq 1/3 t$
3	$d \leq 1/5 t$

7.5.1.6 Conductor delamination The width (w_1) and length (l) of conductor delamination relative to the finished conductor width (W), as illustrated in Figure 7, shall meet the requirement given in Table 4.

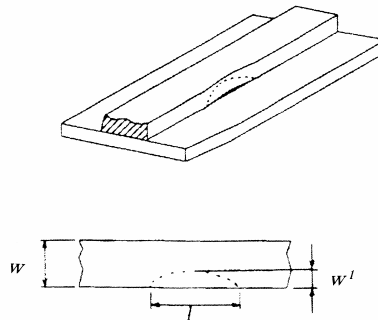


Figure 7 Conductor delamination

Table 4 Allowable conductor delamination

Level	Conductor delamination, length (l), width (w_1)
1	(1) Coverlay laminated area
	$l \leq W$ and $w_1/W \leq 1/3$ for flexing area
	$l \leq W$ and $w_1/W \leq 1/2$ for other area
	(2) No coverlay laminated area
	$l/W \leq 1/4$ and $w_1/W \leq 1/4$
2 and 3	There shall be no observable delamination in the conductor by naked eyes.

7.5.1.7 Conductor crack There shall be no crack in the conductor.

7.5.1.8 Scratch on conductor A scratch on a conductor surface as illustrated in Figure 8, indicates the damage made by a sharp metal point and is harmful to the performance of the printed circuit. The depth (d) of a scratch shall meet the requirement given in Table 5 relative to the conductor thickness (t). The scratch shall not damage the bending property of the repeatedly flexing portion.

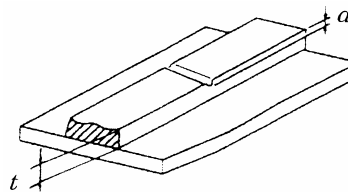


Figure 8 Scratch on conductor

Table 5 Allowable scratch on conductor

Level	Depth of scratch on conductor, d
1 and 2	$d \leq 1/3 t$
3	$d \leq 1/5 t$

7.5.1.9 Discoloration Discoloration shall meet the requirement given in Table 6.

Table 6 Allowable discoloration

Level	Discoloration
1 and 2	When discoloration is observed on a conductor laminated with coverlay, the discoloration shall be acceptable unless it is remarkably noticeable after conditioning at 40°C with 90% RH for 96 hours.
3	The acceptable discoloration shall be agreed upon between user and supplier by means of a limit sample.

7.5.2 Visual inspection of coverlay and covercoat

7.5.2.1 Void Void, as illustrated in Figure 9, shall meet the requirement given in Table 7.

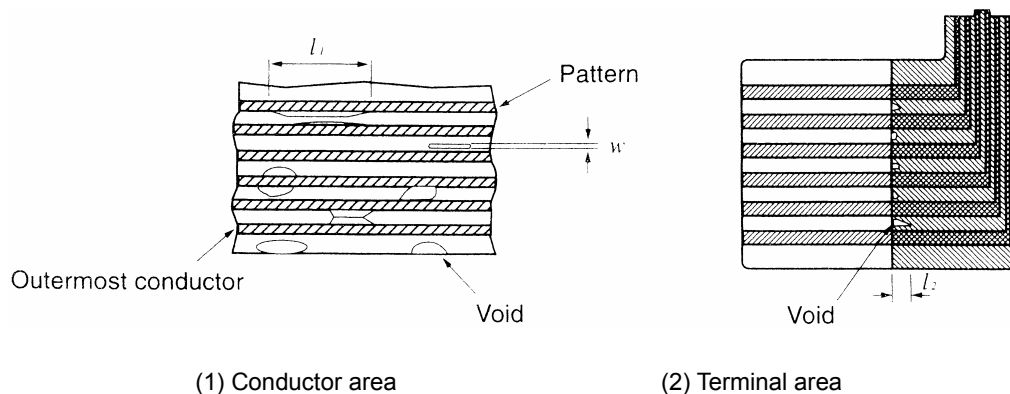


Figure 9 Voids

Table 7 Allowable void

Level	Voids
1	A void shall not exist extending over two or more conductors. A void shall not exist both on the outline edge and to a conductor. (A void at the terminal area, as illustrated in Figure 9 (2), shall be acceptable even if it extends to two conductors.) The maximum length (l_2) of a void shall be 0.3mm.
2	The length of a void (l_1) shall be no longer than 10mm. The width of a void (w) shall be no longer than 1/3 of the spacing between the conductors. There shall be no void in a contact extending to two neighbouring conductors. The maximum length (l_2) of a void shall be 0.3mm. A void at the repeatedly bending area shall not damage the flexibility of the board.
3	There shall be no void.

7.5.2.2 Foreign substance Foreign substance, as illustrated in Figure 10, shall meet the following requirements.

- (1) **Conductive foreign substance** Requirements 7.5.1.3 and 7.5.1.4 of this specification shall apply to conductive foreign substances.
- (2) **Non-conductive foreign substance** Non-conductive foreign substances shall meet the requirement given in Table 8.

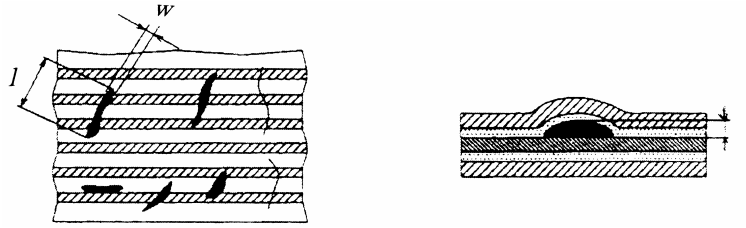


Figure 10 Foreign substance

Table 8 Allowable non-conductive foreign substance

Unit: mm			
Level	Thickness t	Width w	Length l
Level 1	$t \leq 0.1$	$w \leq 0.3$	$l \leq 3$
Level 2	$t \leq 0.05$	$w \leq 0.2$	$l \leq 2$
Level 3	$t \leq 0.05$	$w \leq 0.05$	$l \leq 1$
A foreign substance shall not extend to three or more			

7.5.2.3 Blistering and delamination There shall be no visible blistering and delamination of coverlay or covercoat along the edge of the FPC as illustrated in Figure 11. The covercoat shall not be peeled off when using the test tape specified in JIS C 5016 8.5.1.

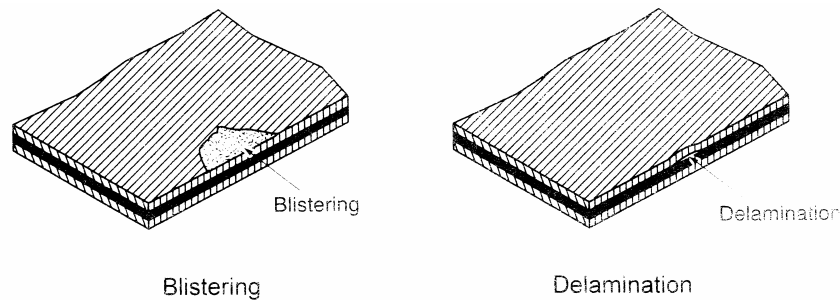


Figure 11 Lifting and delamination of coverlay and covercoat

7.5.2.4 Squeeze-out of adhesive of coverlay, ooze-out of covercoat and photosensitive register strike Squeeze-out of adhesive, ooze-out (l) of covercoat and photosensitive register strike as illustrated in Fig. 12 shall comply with the specification given in Table 9.

The squeeze-out and ooze-out at a land as illustrated in Figure 12-1 shall comply with the specification given in Table 10 for the effective land width, (w), including possible printing and/or punching errors

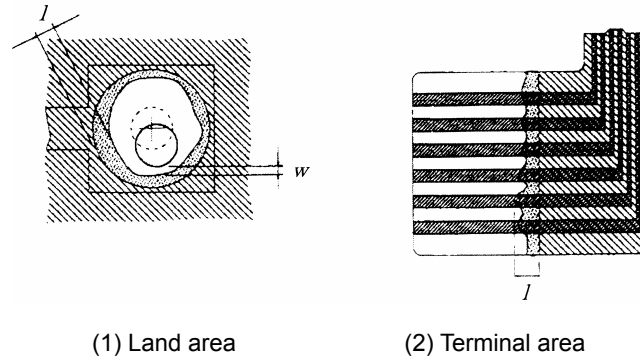


Figure 12 Allowable squeeze-out of coverlay adhesive and ooze-out of covercoat and photosensitive resist

Table 9 Allowable squeeze-out of coverlay adhesive, and ooze-out of covercoat and photosensitive register strike

Unit: mm

Level	Squeeze-out of coverlay adhesive and ooze-out of covercoat	Ooze-out of a photosensitive register strike
1 and 2	$l \leq 0.3$	—
3	$l \leq 0.2$	$l \leq 0.1$

Table 10 Effective land width at a land

Level	Effective land width, w
1	Squeeze-out/ooze-out contacting the hole edge is acceptable up to 1/3 of the terminal hole circumference.
2	0.05mm Minimum
3	0.1mm Minimum

7.5.2.5 Skipping of covercoat photosensitive register strike When tested in accordance with JIS C 5016, 10.4 (Solderability), no solder shall stick onto the conductor of the covercoat and photoresist in the skipped area.

7.5.3 Visual inspection of plating

7.5.3.1 Plating defect Plating defect shall meet the requirement given in 7.5.3.1.1 and 7.5.3.1.2.

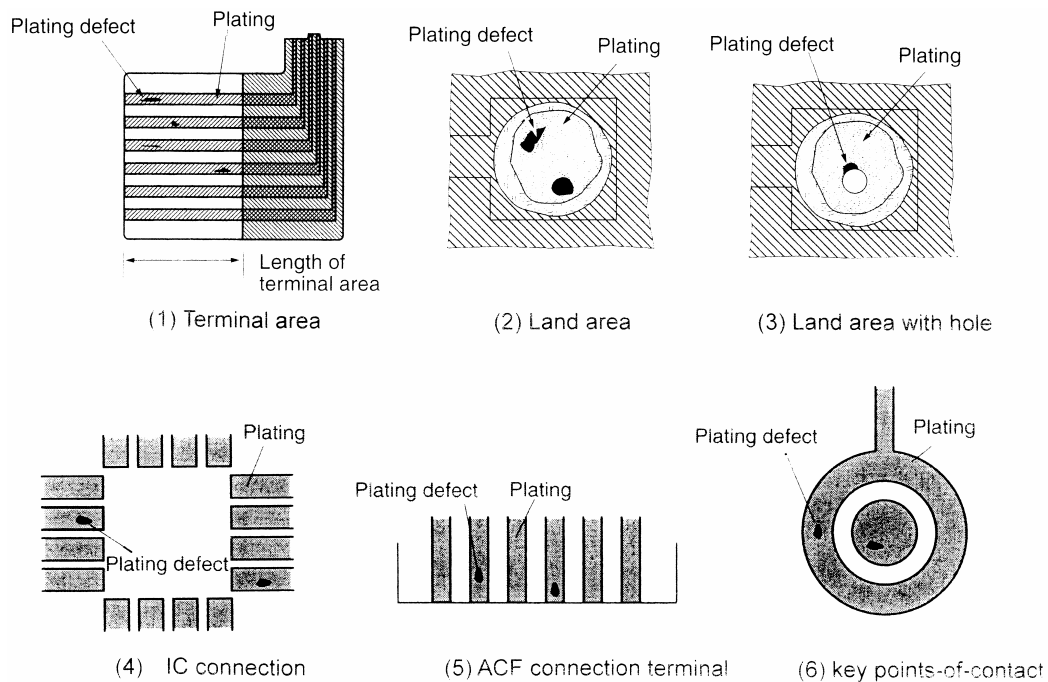
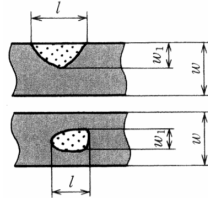


Figure 13 Plating defects

7.5.3.1.1 Gold plating Gold plating shall meet the requirement given in Table 11.

Table 11 Gold plating

Level	Gold plating	Examples in Figure 13																	
1	Plating defects on the land area, as shown in Figure 13 (2) and (3) shall be no larger than 10% of the total plated area (excluding the skipped plating area for a defect caused by adhesive squeeze-out).	(2), (3)																	
2	The width (w_1) and length (l) of the plating defects in comparison to the finished line conductor width (w) are specified in the table below.  Width and length of plating defects Unit mm <table><tr><th colspan="2" rowspan="2">Item</th><th colspan="3">Finished line width (w)</th></tr><tr><th>$w < 0.30$</th><th>$0.30 \leq w \leq 0.45$</th><th>$0.45 < w$</th></tr><tr><td rowspan="2">Terminals</td><td>Width of plating defect (w_1)</td><td>$w_1 \leq 1/2 w$</td><td>$w_1 \leq 0.15$</td><td>$w_1 \leq 1/3 w$</td></tr><tr><td>Length of plating defect (l)</td><td colspan="3">$w_1 \leq w$</td></tr></table> There shall be no defect of an area larger than 0.2mm^2 for a terminal area of a large area such as a key contact.	Item		Finished line width (w)			$w < 0.30$	$0.30 \leq w \leq 0.45$	$0.45 < w$	Terminals	Width of plating defect (w_1)	$w_1 \leq 1/2 w$	$w_1 \leq 0.15$	$w_1 \leq 1/3 w$	Length of plating defect (l)	$w_1 \leq w$			(1), (5), (6)
Item				Finished line width (w)															
		$w < 0.30$	$0.30 \leq w \leq 0.45$	$0.45 < w$															
Terminals	Width of plating defect (w_1)	$w_1 \leq 1/2 w$	$w_1 \leq 0.15$	$w_1 \leq 1/3 w$															
	Length of plating defect (l)	$w_1 \leq w$																	
3	There shall be no defect such as poor contact and pit (hole or dent) that can be detected using a magnifying glass of 3X to 10X in the area of direct contact.	(1), (4), (5)																	
X	The limit of a defect shall be agreed upon between user and supplier for special requirements.	-																	

7.5.3.1.2 Solder plating (Solder paste or dip solder plating including use of lead free solder) The width of a plating defect at the terminal area, as shown in Figure 13-1, shall be no larger than 1/2 of the finished conductor width, and the length shall not exceed the width of the conductor.

Plating defects on land area, as shown in Figure 13-2 and -3, shall be less than 10% of the total plated area (excluding the skipped plating area caused by adhesive squeeze-out).

Plating defects contacting the edge of a component hole, as shown in Figure 13 (3), shall be no larger than 1/3 of the circumference. The area of a plating defect shall be covered with adhesive.

7.5.3.2 Penetration of plated metal or solder plating (Solder paste or dip solder plating including the use of lead free solder) Penetration of plated metal or solder plating, as illustrated in Figure 14, shall meet the following requirements:

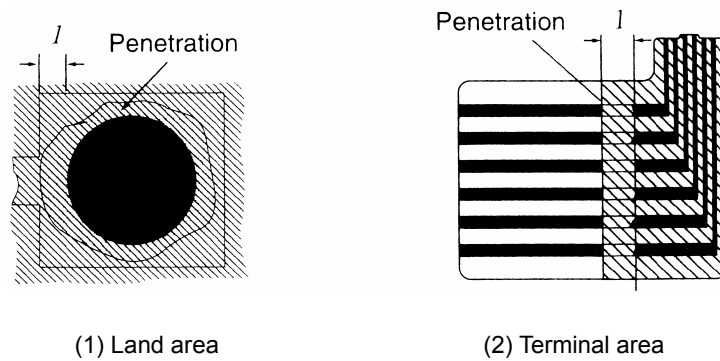


Figure 14 Penetration of plated metal or solder

- (1) The penetrated portion (l) between conductor and coverlay (covercoat and photosensitive resist) shall meet the requirement given in Table 12, as illustrated in Figure 14.

Table 12 Requirement for metal penetration between conductor and coverlay

Unit: mm

Level	Requirement for metal penetration, l
1	$l \leq 0.5$
2	$l \leq 0.3$
3	$l \leq 0.1$

- (2) The penetrated portion between conductor and base film shall meet the requirement given in Table 13.

Table 13 Requirements for metal penetration between conductor and base film

Level	Requirement for metal penetration
1	Shall meet the requirement of 7.5.1.6
2 and 3	There shall be no visible penetration.

7.5.3.3 Surface condition of plated metal and solder plating

7.5.3.3.1 Gold plating Gold plating shall meet the requirement given in Table 14.

Table 14 Gold plating

Level	Gold plating
1 and 2	Defect, such as stain, haze, and dirt which easily can be detected by eyes without use of a magnification glass should be judged based on a limit sample.
3	There shall be no defect, such as stain, haze, discoloration, and dirt, detectable by observation with a magnification of 10X.
X	The special requirement for any specific application shall be agreed upon between user and supplier.

7.5.3.3.2 Solder plating (Solder paste or dip solder plating including use of lead free solder) There shall be no darkened appearance (blackening discoloration).

7.5.3.3.3 Void in plated through hole The number of plating voids illustrated in Figure 15 shall be no more than 3 per hole. The total area of voids for the entire hole wall (S_{sum}) for the total inner wall area of a hole (S_{total}) shall meet the requirement given in Table 15.

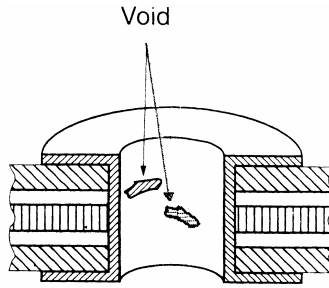


Figure 15 Plating voids in plated through hole

Table 15 Allowable Plating Voids

Level	Total void area, S_{sum}
1 and 2	$S_{sum} < 1/3 S_{total}$
3	$S_{sum} < 10 S_{total}$

7.5.4 Visual inspection of edges of outline and holes

7.5.4.1 Tear and nick There shall be no tear and nick except for slight cuts formed at the joining of blades which are allowed provided they are not visible without magnification, as illustrated in Figure 16.

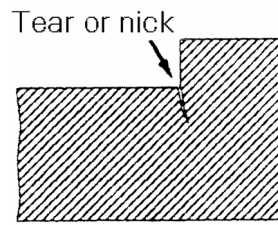


Figure 16 Tear and nick

7.5.4.2 Burr The height (h) of burr, as illustrated in Figure 17, shall be no larger than 0.1 mm.

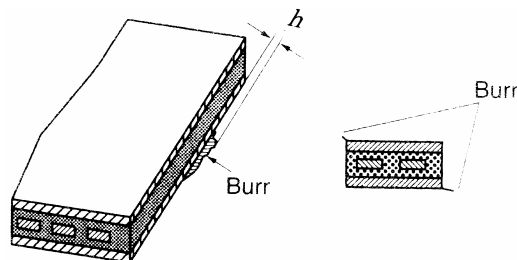


Figure 17 Burrs

7.5.4.3 Thready burr Two types of non-conductive thready burrs are illustrated in Figure 18. The length of thready burr at the outline edge (l_1 , l_2) shall be no longer than 1.0 mm. The length of burr at the hole edge (l_2) shall be no longer than 0.3 mm.

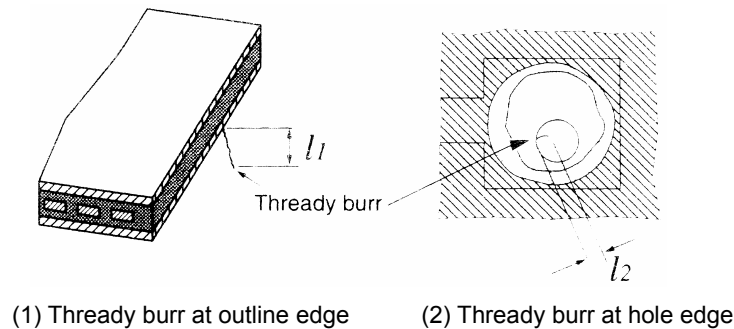


Figure 18 Thready burrs

7.5.5 Visual imperfection related to stiffener bonding

7.5.5.1 Foreign substance between flexible printed board and stiffener The bulge (t) of the FPC caused by a foreign substance sandwiched between the FPC and the stiffener, as illustrated in Figure 19, shall be no larger than 0.1 mm. The thickness of the stiffener shall also meet those specifications when the thickness of the printed board and stiffener are specified.

The size of the foreign substance shall be no larger than 5% of the bonding area of the printed board and stiffener. There shall be no foreign substance in contact with the component hole or an outline edge of the board.

The length of a non-conductive thready foreign substance (l) protruding from the outline edge shall not exceed 1 mm.

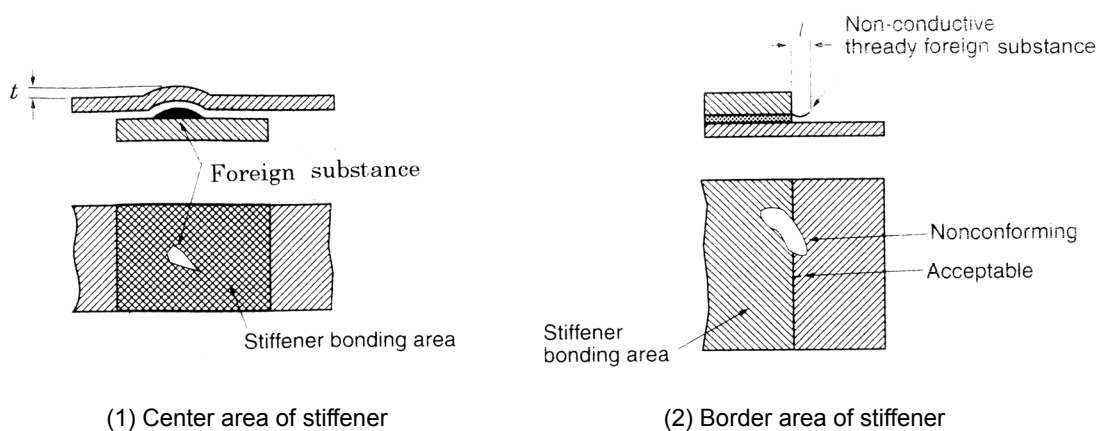
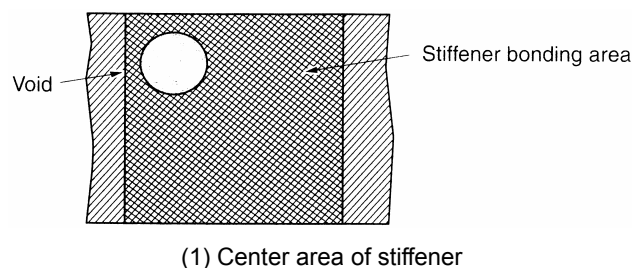
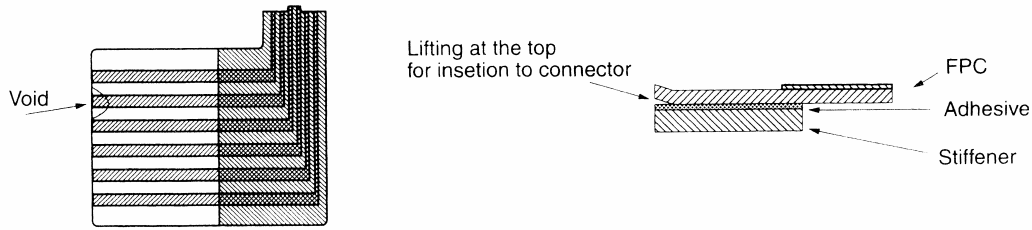


Figure 19 Foreign substance between board and stiffener

7.5.5.2 Void between flexible printed board and stiffener When the stiffener is bonded to FPC with thermosetting adhesive, the total area of voids, as illustrated in Figure 22, shall be no larger than 10% of the total area of the stiffener. When other types of adhesive are used, the total area of voids shall be no larger than 1/3 of the stiffener area. There shall be no lifting and swelling at the tip for insertion to the connector.



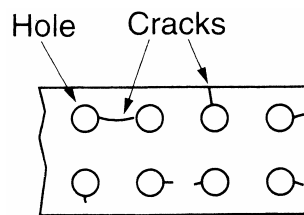
(1) Center area of stiffener



(2) Terminal area for insertion to connector

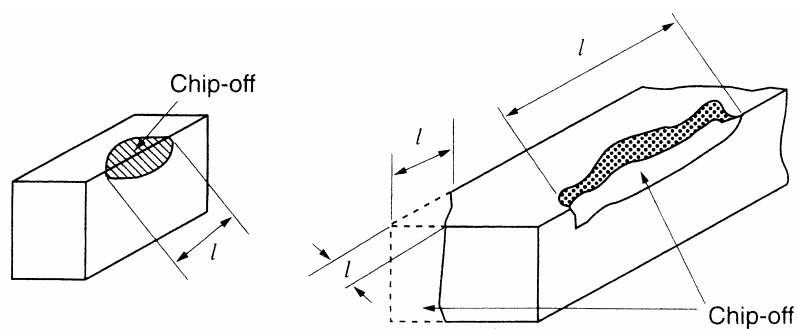
Figure 20 Voids between board and stiffener**7.5.5.3 Defect of stiffener**

7.5.5.3.1 Crack Cracks, as illustrated in Figure 21, shall meet the requirement given in Table 16.

**Figure 21 Cracks****Table 16 Cracks**

Level	Cracks
1	There shall be no crack that could affect practical use.
2 and 3	There shall be no crack that links two holes on the stiffener as well as a hole and the outline edge.

7.5.5.3.2 Chip-off The length (l) of a chip-off of stiffener, as illustrated in Figure 22, shall be no larger than 1 mm.

**Figure 22 Chip-off**

7.5.5.3.3 Scratch The allowable scratch shall be agreed upon between user and supplier if necessary.

7.5.5.3.4 Bow and twist Bow and twist causing no problem in board assembly and installment are acceptable.

7.5.6 Other visual inspection**7.5.6.1 Fixed substance on surface (Excluding the area of exposed conductor)**

7.5.6.1.1 Thermosetting adhesive Thermosetting adhesive on the surface shall meet the requirement given in Table 17.

Table 17 Thermosetting adhesive on surface

Level	Thermosetting adhesive on the surface
1 and 2	Cured adhesive, chip of coverlay, covercoat or fiber stuck with adhesive hardly adhered on the surface is acceptable, provided they do not fall off when rubbed with an applicator impregnated with isopropyl alcohol. The thickness including the adhesive on surface shall meet the requirement where total thickness is specified.
3	There shall be no visible substance stuck to the adhesive on the surface.

7.5.6.1.2 Flux residues Flux residue on the surface shall meet the requirement given in Table 18.

Table 18 Flux residue on surface

Level	Thermosetting adhesive on surface
1 and 2	When the surface is rubbed with an applicator impregnated with isopropyl alcohol, the applicator shall not be stained with flux residue.
3	There shall be no visible flux residue on surface.

7.5.6.1.3 Residue of metal powder (Solder, Aluminum, Copper, etc.) The following requirement shall apply only when the metal powder falling off from the board do not cause any problem in the performance of equipment mounted with the flexible printed circuit of the interest. Residue of metal powder shall meet the requirement given in Table 19.

Table 19 Residue of metal powder (Solder, Aluminum, Copper, etc.)

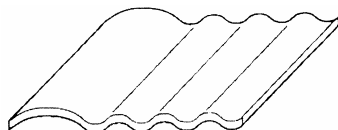
Level	Residue of metal powder (Solder, Aluminum, Copper, etc.)
1	The acceptable size and the number of metal grains shall be as follows: For the grain diameter of 0.1mm or larger and smaller than 0.3mm: 3 or less per product For the grain diameter of 0.05mm or larger and smaller than 0.1mm: 10 or less per product.
2	There shall be no visible metal powder residue.
3	There shall be no metal powder residue detectable with a magnification 10X.

7.5.6.1.4 Residue of adhesive Residue of adhesive shall meet the requirement given in Table 20.

Table 20 Residue of adhesive

Level	Residue of adhesive
1 and 2	The acceptable size and the number of adhesive residue shall be as follows: For the diameter of 1.0mm or larger and smaller than 2.0mm: 1 or less per product For the diameter of 0.1mm or larger and smaller than 1.0mm: 5 or less per product
3	There shall be no visible adhesive residue.

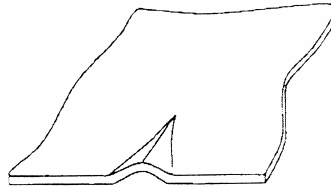
7.5.6.2 Protrusion and dent Wrinkle, uneven and crease which influence the characteristics on use and on assembly process of a flexible print board are not permitted even if there is no problem at the time of mounting and at use. A limit sample for these defects should be prepared if necessary. Examples of protrusions and dents are illustrated in Figure 23.



(1) Wrinkle



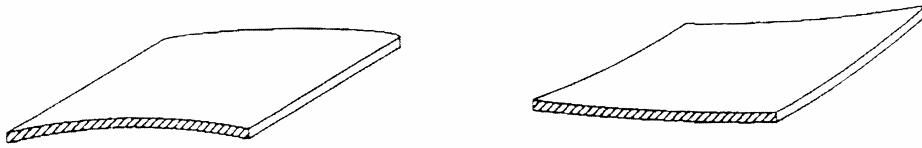
(2) Crease



(3) Kink

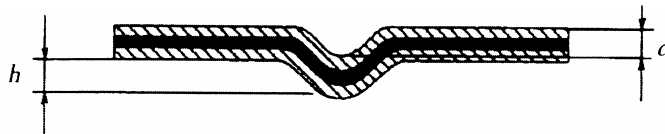
Figure 23 Protrusion and dent on flexible printed board

7.5.6.3 Bow and twist Bow, twist and the alike as illustrated in Figure 24, which may influence the characteristics on use and on assembly process of a flexible print board are permitted if there is no problem at the time of mounting and at use in the field .

**Figure 24 Bow and twist**

7.5.6.4 Conductor

(1) Dent Dent on a conductor, as illustrated in Figure 25, shall meet the requirement given in Table 21. Dent condition is usually difficult to judge (i.e., shape, size, and depth); accordingly, details should be agreed upon between user and supplier in reference to a limit sample prepared for evaluation.

**Figure 25 Dent****Table 21 Dent**

Level	Depth of a dent, d
1 and 2	Depth (d) of a dent from the surface shall be ≤ 0.1 mm. When depth is difficult to measure, the height (h) of the backside protrusion of the base film shall be regarded as equal to the depth (d) of a dent.
3	There shall be no dent visible from both sides.

7.5.6.5 Base Film Side

(1) Dent Dent on the base film, as illustrated in Figure 25, shall meet the requirement given in Table 22.

Table 22 Dent

Level	Dent
1 and 2	Depth (d) of a dent from the surface shall be no larger than 0.1 mm. When depth is difficult to measure, the height (h) of the backside protrusion of the base film shall be regarded as equal to the depth (d) of a dent.
3	There shall be no dent visible from both sides.

- (2) Scratch on base film The Depth (d) of a scratch on a base film relative to the film thickness (t), as illustrated in Figure 26, shall meet the requirement given in Table 23. There shall be no sharp pressed mark, cut, tear, or delaminated adhesive layer. These defects shall not damage the bending property of the repeatedly flexing part.

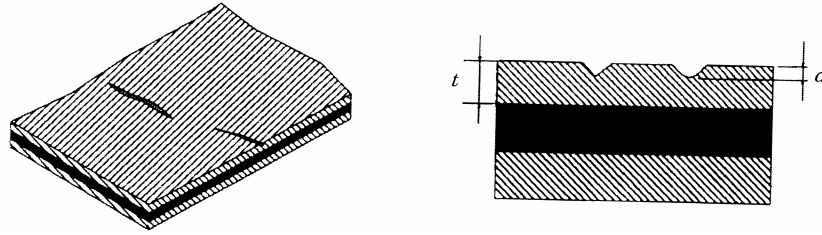


Figure 26 Scratch on base film

Table 23 Allowable scratches on base film

Level	Scratch on base film
1 and 2	$d \leq 1/3 t$
3	$d \leq 1/5 t$

7.5.6.6 Visual inspection of coverlay and covercoat

- (1) Dent on coverlay and covercoat Dents on coverlay and covercoat, as illustrated in Figure 25 shall meet the requirement given in Table 24.

Table 24 Dents on coverlay and covercoat

Level	Depth of a dent, d
1 and 2	Depth(d) of a dent from the surface shall be no greater than 0.1 mm. When depth is difficult to measure, the height (h) of the back side protrusion of the base film shall be regarded as equal to the depth (d) of a dent.
3	There shall be no dent visible from both sides.

- (2) Scratch on coverlay and covercoat: The depth (d) of a scratch on the coverlay and covercoat relative to the thickness (t) of coverlay or covercoat as illustrated in Figure 26 shall meet the requirement given in Table 25. There shall be no sharp pressed mark, cut, tear, or delaminated adhesive layer on the surface of coverlay or covercoat. These defects shall not damage the bending property of the repeatedly flexing portion.

Table 25 Requirement for scratch on coverlay and covercoat

Level	Depth of a scratch, (d)
1	There shall be no exposure of conductor.
2	$\text{Depth (d)} \leq 1/3 t$
3	$\text{Depth (d)} \leq 1/5 t$

Note: Thickness of the covercoat shall be calculated by subtracting the thickness of FPC without covercoat from the total FPC thickness.

7.5.6.7 Marking Marking shall be legible.

8. Dimensional Inspections

8.1 Measurement of dimension Measuring methods for dimensions of the flexible printed board shall be in accordance with JIS C 5016, 3 (test condition), 4 (specimen), 5 (pre-treatment) and 6.3 (dimensional test).

8.2 External dimension Measurement of external dimensions of the FPC shall meet of the requirement given in Table 26.

Table 26 Tolerance of external dimension

Level	Tolerance of external dimension
1 and 2	Tolerance of the external dimension of product: For product size smaller than 100mm in length: ± 0.30 mm For product size of 100mm or larger: $\pm 0.3\%$
3	Requirement shall be agreed upon between user and supplier.

8.3 Thickness Thickness shall meet the requirements given in Table 27.

Table 27 Thickness tolerance

Level	Thickness tolerance
1 and 2	$\leq \pm 20\%$ of the total thickness of the product
3	To be agreed upon between user and supplier

8.4 Hole diameter Hole diameter shall meet the requirement given in Table 28.

Table 28 Hole diameter and tolerance

Unit: mm

Thickness, t	Tolerance
$0.8 \leq t$	± 0.20
$0.2 < t < 0.8$	± 0.10
$t \leq 0.2$	± 0.05

8.5 Conductor width Tolerances of the width of the finished conductor for designed conductor width shall meet the requirement given in Table 29.

Table 29 Conductor width and toleranceUnit: μm

Designed conductor width, w	Tolerance
$w < 50$	The requirement shall be agreed upon between user and supplier.
$50 \leq w < 100$	± 25
$100 \leq w < 200$	± 50
$200 \leq w$	± 100

8.6 Cumulative pattern pitch Table 30 gives the cumulative pitch as illustrated in the illustration.

Table 30 Cumulative pattern pitch and tolerance

	Conductor pitch, P (μm)	Tolerance of the cumulative conductor pitch (%)
Level 1	$300 \leq P$	$\pm 0.3\%$
Level 2	$150 \leq P < 300$	$\pm 0.2\%$
Level 3	$100 \leq P < 150$	$\pm 0.15\%$
Level X	$P < 100$	To be agreed upon between user and supplier

Note: Length of each component is: connector (11.4 mm), IC (4.8 mm/side) and liquid crystal display (35.6 mm)

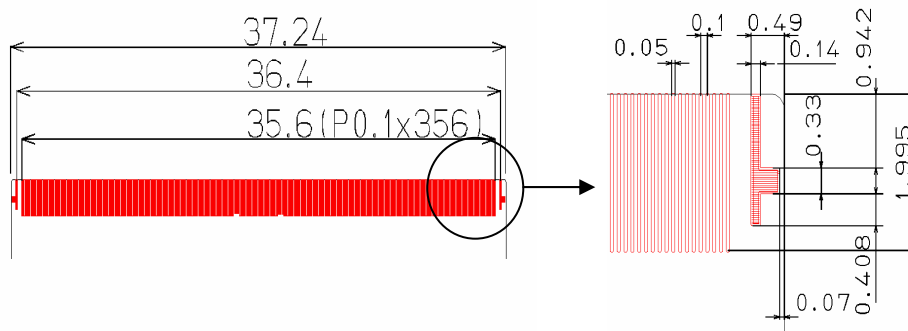


Figure a ACF connector

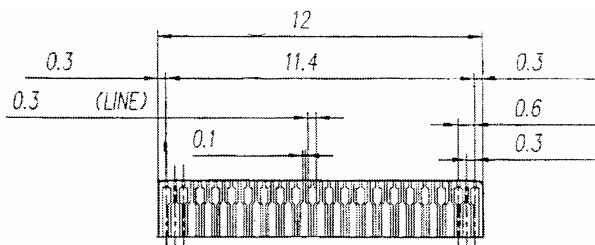


Figure b Connector terminals

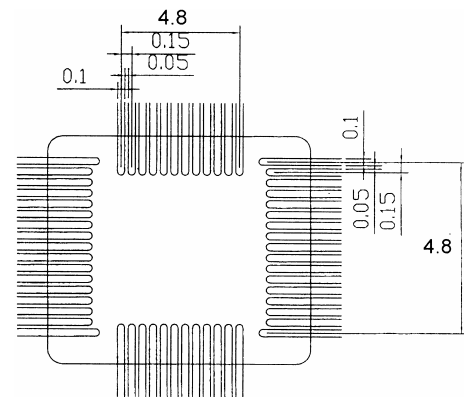


Figure c COF terminals

8.7 Distance between hole centers The distance between hole centers shall meet the requirements given in Table 31.

Table 31 Tolerance of distance between hole centers

Level	Tolerance of distance between hole centers
1 and 2	For distance < 100mm: ± 0.30 100 mm $\leq$ For distances: $\leq 0.3\%$ of the distance between hole centers.
3	The requirements shall be agreed upon between user and supplier.

8.8 Design minimum distance between board edge and conductor Design minimum distance between a board edge and a conductor **shall** meet the requirement given in Table 32.

Table 32 Design minimum distance between board edge and conductor

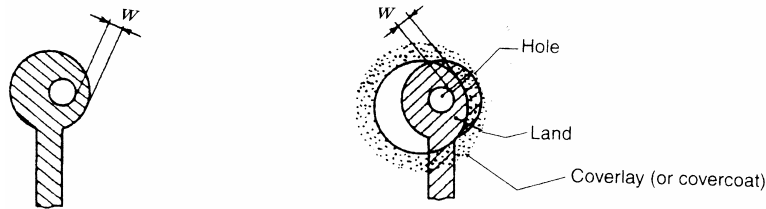
Level	Minimum distance between board edge and conductor
1 and 2	Design minimum distance between the board edge and the conductor shall not be ≤ 0.5 mm
3	The requirements shall be agreed upon between user and supplier.

8.9 Position accuracy

8.9.1 Position accuracy of holes

Position tolerance of a finished hole to the design position data shall be no larger than ± 0.3 mm for an external dimension of less than 100 mm, and shall be no larger than $\pm 0.3\%$ for an external dimension of over 100 mm, but except via holes.

8.9.2 Registration of hole to land The minimum registration accuracy of a solderable finished land width (w) of as illustrated in Figure 27 shall comply with the requirement given in Table 10.



(a) In the case of without coverlay (or covercoat)

(b) In the case of with coverlay (or covercoat)

Figure 27 Misregistration of hole and land

8.9.3 Registration of coverlay (or covercoat) to a land The effective land area (S) as illustrated in Figure 28, shall comply with the requirement given in Table 10.

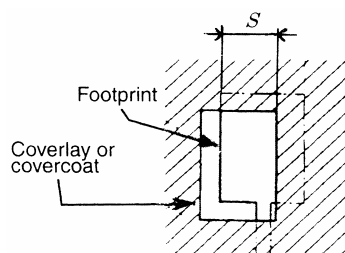


Figure 28 Misregistration of land and coverlay (or covercoat)

Table 33 Effective land area

Level	Effective land area, S
1 and 2	Larger than 50 % of the designed land area
3	To be agreed upon between user and supplier

8.9.4 Registration accuracy of stiffener to FPC

8.9.4.1 Hole registration The deviation (w) between holes of the stiffener and the flexible printed circuit, as illustrated in Figure 29, shall be such as the difference ($D - w$) between the hole diameter (D) and the displacement (w) shall meet the tolerance requirement for the hole diameter (D).

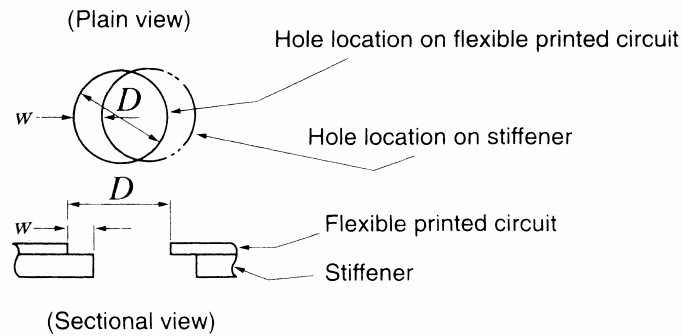


Figure 29 Registration of Holes

8.9.4.2 The displacement of the outer dimensions The displacement (l) between outer dimensions shall meet the requirements given in Table 34, as illustrated in Figure 30.

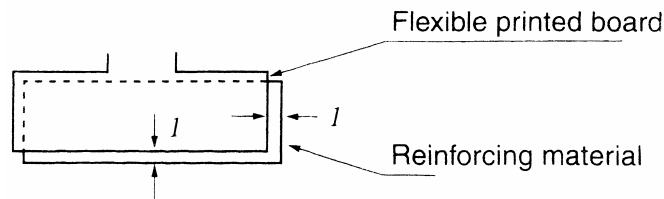


Figure 30 The displacement of the outer dimensions

Table 34 Allowable displacement between outlines of the stiffener and the FPC

Unit: mm	
Level	Tolerance
1	$l \leq \pm 0.5$
2	$l \leq \pm 0.3$
3	$l \leq \pm 0.2$

8.9.5 Registration of punched outline to conductor pattern The registration of punched outline to conductor pattern shall meet the requirement given in Table 35.

Table 35 Registration of punched outline to conductor patterns

Level	Requirement for registration
1 and 2	The edges of the outline of the board shall not be in contact with conductors, except for plating lead(s), isolated land(s), and conductor(s) for mechanical reinforcement.
3	The clearance between the outline edge and the conductor shall be no smaller than 0.1 mm, except for plating lead(s), isolated land(s) and conductor(s) for mechanical reinforcement.

8.10 Registration of pressure sensitive or heat activated adhesive (Including adhesive squeeze-out) to flexible printed board and stiffener The displacement (l) of pressure sensitive or heat activated adhesives from the FPC and stiffener (including adhesive squeeze-out), as illustrated in Figure 31, shall be ± 0.5 mm. The registration of the adhesive at component holes shall meet the requirement for the tolerance of the hole diameter.

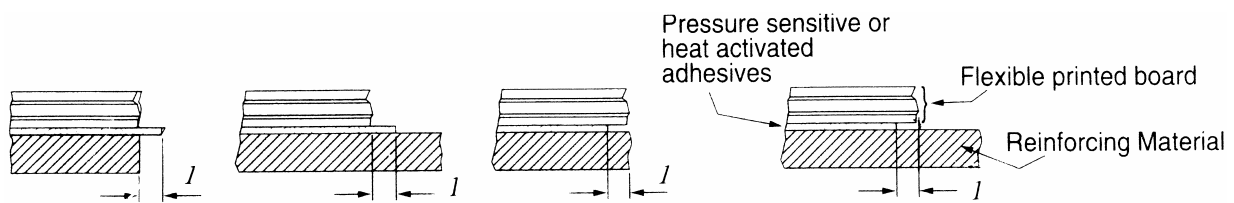


Figure 31 Registration of pressure sensitive or heat activated adhesive from flexible printed board and stiffener (Including adhesive squeeze-Out)

8.11 Plating thickness of copper plated-through holes The thickness of the plated copper of the plated-through holes shall be 0.004 mm min.

9. Electrical performance test The electrical performance of the FPC shall be tested in accordance with JIS C 5016. The test items and requirements are given in Table 36.

Table 36 Electrical properties of flexible printed boards

Item No.	Item		Requirement	Test method (JIS C 5016)
9.1	Conductor resistance		Shall be agreed upon between user and supplier.	7.1 (Conductor resistance)
9.2	Insulation resistance of surface layers	As received	$5 \times 10^8 \Omega \leq$	Per paragraph 7.6 (Insulation resistance of surface layers)
		After humidity test	Level 1: shall retain the electrical functions. Level 2: $1 \times 10^8 \Omega \leq$ Level 3: $5 \times 10^8 \Omega \leq$	9.4 (Temperature and humidity cycling test), and per paragraph 7.6
9.3	Dielectric withstanding voltage of surface layers		There shall be no flashover when 500 V ac is applied.	7.5 (Dielectric withstanding voltage, surface layers)
9.4	Open circuit of the conductor		$1\text{k}\Omega \leq *$	7.7.2 (Circuit continuity test)
9.5	Short circuit between conductors		$\leq 100\text{k}\Omega *$	7.7.1 (Circuit isolation test)

* The criteria values for open circuit and short circuit for judging the product performance may not necessarily be these values.

10. Mechanical performance test The mechanical performance of FPCs **shall** be tested in accordance with JIS C 5016. The test items and specifications are given in Table 37.

Table 37 Mechanical properties of flexible printed boards

Item No.	Item		Property requirements	Test method (JIS C 5016)
10.1	Peel strength	Conductor	$0.49 \text{ N/mm} \leq$	8.1 (Peel strength)
		Coverlay	$0.34 \text{ N/mm} \leq$	Specimen with coverlay bonded on the shiny side of the copper foil shall be tested in accordance with 8.1, method B.
		Stiffener	Thermosetting adhesives: 0.34 N/mm Pressure sensitive adhesives: $0.15 \text{ N/mm} \leq$	Specimen with stiffener bonded on the base film shall be tested in accordance with 8.1, method B.
10.2	Pull-out strength for plain hole and footprint		Level 1: Not specified Levels 2 and 3: $1 \text{ N/mm}^2 \leq$	8.2 (Pull-out strength for plain holes) and 8.3 (Pull-out strength for footprints)
10.3	Plating adhesion		There shall be no peel off.	8.4 (Plating adhesion)
10.4	Solderability		The well-wetted area shall be more than 95% of the total plated area. This does not apply to FPCs with polyester base film.	10.4 (Solderability)
10.5	Flexural endurance		FPCs with coverlay shall satisfy the specified bending radius and the bending frequency based on the repetition speed, which are agreed between user and supplier.	8.6 (Flexural endurance) The rate of 1000 cycles/minute or higher is preferred to save the testing time.
10.6	Bending resistance		FPCs with coverlay shall satisfy the specified bending curvature radius and the loaded bending frequency which are agreed between user and supplier.	8.7 (Bending resistance)

11. Environmental performance The environmental test of FPCs shall be made in accordance with JIS C 5016. The test items and requirements are given in Table 38.

Table 38 Environmental tests and requirements

Item No.	Item		Requirement	Test method JIS C 5016
11.1	Temperature cycling		Shall meet the requirements before and after the test for the items and conditions agreed upon between user and supplier	9.1 (Temperature cycling)
11.2	Humidity test	Stationary condition	Same as 11.1	9.5 (Humidity test, stationary condition)
		Temperature/humidity cycling	Same as 11.1	9.4 (Humidity test, temperature/humidity cycling)
11.3	Thermal shock	High temperature dipping	Same as 11.1	9.3 (Thermal shock, low temperature/high temperature cycling)
		Low temperature /high temperature cycling	Same as 11.1	9.2 (Thermal shock, low temperature/high temperature cycling)
11.4	Thermal shock resistance of connection between layers (copper plated-through hole, etc.)		The variation in connection resistance between layers (copper plated-through hole, etc.) shall be less than 20%.	10.2 (Thermal shock resistance of copper plated-through holes)
11.5	Migration		$10^8 \Omega \leq$	Annex 2 of this document
11.6	Whisker		To be agreed upon between user and supplier	Annex 3 of this document

12. Chemical resistance There shall be no swell or delamination when tested in accordance with JIS C 5016, paragraph 10.5. There shall be no appreciable damage of symbol marks.

13. Cleanliness

The measuring method and the requirement shall be agreed upon between user and supplier.

14. Flame resistance

Shall be agreed upon between user and supplier.

15. Marking, packaging, and storage These items should normally be agreed upon between user and supplier. The items in 15.1 and 15.2 are given just as guidelines.

15.1 Marking on products

- (1) Product name or product's code name
- (2) Name of manufacturer or the code name

15.2 Marking on package

- (1) Product type (name or symbol expressing the FPC shall be marked where it is readily seen)
- (2) Product name or its code name
- (3) Number of products in the package
- (4) Production lot number or year/month of manufacturing
- (5) Name of manufacturer or its code name

15.3 Packaging and storage

15.3.1 Packaging Packaging shall meet the requirements given in Table 39.

Table 39 Requirements for packaging

Level	Requirement
1	Product shall be packaged so that the product is not damaged during transportation.
2	In addition to the requirement for level 1, humidity shall be controlled during storage at room temperature.
3	In addition to the requirement for levels 1 and 2, any requirement agreed upon by user and supplier shall be incorporated.

15.3.2 Storage FPCs shall be stored in a storage that is equipped with suitable humidity-control.

15.3.3 Handling Appendix 1 gives the recommendation for preventing accidents caused by the handling of FPCs by customer.

Appendix I

Handling Instruction Manual

Handling of Polyimide-Base FPC

1. Storage and handling

Wipe off moisture and/or chemical substance(s) attached to the product surface during storage and/or handling. These substances may cause discoloration and/or deterioration of the product.

The tarnish protection coating on the conductor is valid for approximately six months after production in a storage where temperature and humidity are controlled, whereas the plated and cream-solder-coated surface is valid for approximately one year.

There is an important care to be taken to protect boards in addition to precautions to prevent mechanical damages to the boards caused by careless handling or stacking of boards. That is the contamination of a board by foreign substances. Oil component may be transferred from human skin to a board causing contamination, stain or discoloration when the board is handled for test or installation to an automatic processing machine. Hand cream containing silicone can cause poor adhesion of photoresist and coverlay layers.

Protection gloves must be used to prevent contamination.

Periodical change of gloves should be observed. Generation of minute fiber dust from the gloves should be checked.

2. Component mounting and installation to equipment

Torque to tighten screws and caulk metal plates shall be appropriately adjusted. Too high a torque may break materials.

3. Soldering

3.1 Pre-Treatment Polyimide used as a base film of FPCs and as a coverlay absorbs moisture easily (i.e., the simple film will be saturated with water vapour in approximately four hours if a polyimide film is left in an open air). This may readily cause blistering of the FPC by a rapid temperature change when soldering is carry out using a reflow furnace or a flow soldering equipment. Pre-drying of the FPC to remove absorbed moisture should be added as a pre-treatment process before assembly process.

Depending on the composition of the FPC, the following pre-drying conditions are recommended as given in Appendix Table 1:

Appendix Table 1 Recommended pre-drying conditions

FPC	Pattern composition	Stiffener material	Pre-drying temperature	Drying time
Single-sided	Fine patterns only (such as signal lines)	None	80°C	30 minutes $\leq$
		Film	80°C	1 hour $\leq$
		Glass/epoxy board, etc.	120°C	1 hour $\leq$
Double-sided	Fine patterns only (such as signal lines)	None	80°C	30 minutes $\leq$
		Film	80°C	1 hour $\leq$
		Glass/epoxy board, etc.	120°C	1 hour $\leq$
	With wide patterns (such as ground lines)	None	120°C	30 minutes $\leq$
		Film	120°C	1 hour $\leq$
		Glass/epoxy board, etc.	120°C	2 hours $\leq$

A different drying time depending on the composition of FPC or patterns results in a different moisture removal time from polyimide and/or adhesive layers. Pre-dried FPCs, when left in a normal environment storage (air-conditioned room), should be soldered within the same day after taken out from the storage. If soldering is to be carried out the following day, the FPC should be kept in a moisture-tight bag. Keep the boards in the bag with silica gel, which can extend the allowable time for soldering to approximately one month (the period may vary depending on the type of the

bag and amount of silica gel used). One or more hours of pre-drying should be added if manual soldering or flow soldering is made to the FPC one or more days after reflowing.

3.2 Soldering When the soldering temperature is too high or soldering time is too long, separation or blistering of the FPC may occur. The land may separate if the FPC is bent or pressed too much by a soldering iron while heated. Suitable soldering conditions must be selected appropriate to the circuit pattern and the working location.

Be careful not to burn yourself while soldering. A protection gear such as goggles should be worn to prevent burning by scattered fine solder balls and flux.

4. Disposal

Disposal must be carried out according to the specified procedure of disposing industrial wastes. Do not incinerate, use the wastes for land fill or in the sea without permission.

5. The adoption and the switching to lead-free solder plating

When the present tin-lead solder is changed to lead-free solder for plating, short circuit and/or generation of foreign substances may occur due to whisker growth. The whisker growth on a component is affected by various factors including the material, shape and strain to the component. Careful study is needed of the actual FPC. It is necessary to use gold plating or an organic anticorrosion surface layer to FPC if the whisker generation must be strictly prohibited for a reliability reason.

Appendix II Ion migration test

Item	Ion migration test for flexible wiring boards	
Specimen	The structure of the specimen shall be as illustrated in Figure A2-1 with the details of the specimen as given below. The material of the specimen shall be the same as that of the product to be evaluated including cover-lay and cover coat. The number of interdigits of the pattern is 75. The line/space of the specimen shall be between 60/60 to 100/100 μm and shall be agreed upon between user and supplier. The number of specimens to be tested shall be from 1 to 10 and be agreed upon between user and supplier. Note: Dotted circles indicate the openings of cover-lay and cover coat. Figure A2-1 Structure of specimen for ion migration test.	
Test condition	• Temperature/humidity : 85°C/85% • Applied voltage : DC15V or DC50V, and to be agreed upon between user and supplier. • Duration : 250, 500, or 1000 h, and to be agreed upon between user and supplier.	
Test equipment	The test equipment shall be capable of maintaining temperature of $85\pm 2^{\circ}\text{C}$ and RH of $85\pm 3\%$. The insulation resistance shall be measured using an insulation tester	
Conditioning	Not specified	
Measurement	Measure the insulation resistance of a specimen using the circuit described in 7.7.1 of JIS C 5016 with an applied voltage of either 15 or 50 V DC.	

Appendix III Whisker test

Item	Whisker test for flexible printed wiring board (FPC) with an applied mechanical external stress (JPCA - YAMAICHI method)	
Specimen	The specimen is the contact section of FPC used as a mail of a connector and to be agreed upon between user and supplier. The recommended number of specimens, N = 5.	
Equipment	The structure of the whisker test equipment is as illustrated in Figures A3-1 and -2. Use a SEM (or a metallurgical microscope) (magnification of x100 or higher)。 Vickers indenter FPC contact Figure A3-1 The basic structure of the test equipment Vickers Indenter Specimen 【JPCA-YAMAICHI method】 Figure A3-2 An example of the construction of the test equipment	

Test Condition	Temperature: Room temperature, 25 ± 5 °C Humidity: RH of : $55 \pm 30\%$ Weight: 200 ± 10 g Test time: A recommended test time of 96 h for the first step. The time may be extended as agreed upon user and supplier.
Evaluation	Count the number of whiskers with a length of more than 50 μm using a SEM . The number of whiskers shorter than 50 μm shall be agreed upon between user and supplier.
Remarks	• This test is for not a quantitative and absolute test but a qualitative and relative test for whisker growth. • Care should be taken that the vibration should not disturb the test. • It is desirable to perform this whisker growth test without using stiffener and/or adhesive as the whisker growth may be affected with the presence of these materials. • It is also be regarded that the time required to start whisker growth may differ for a board using tin plating with the thickness and the process of tin plating employed. • It shall be confirmed that the tip of the Vickers indenter is clean and free of dust. • It is recommended to do an insertion test of a flexible board to a mail connector for whisker growth. • Whisker growth tests under internal stresses induced by temperature-humidity and/or thermal shock environmental tests may be necessary in addition to the whisker growth test under external stress as described in this document to elucidate the whisker growth mechanism.
Notes	• This test method was developed by Yamaichi Electric Works. This test method was carefully studied by the Standardization Committee of JPCA for Flexible Printed Circuit Boards, and is adopted in this standard. • See the report made by Fujino of Yamaichi Electric presented at the 19th Annual Meeting of the Japan Electronics Packaging Association, March, 2005.

Additional Information

Explanation on JPCA Performance Guide for Single and Double-Sided Flexible Printed Wiring Boards

This explanation does not constitute a part of this specification, but should be helpful for understanding of the readers what is written in the text and the related issues.

I. Way to completion of this document

In 1992, JPCA prepared JPCA-FC03, "Specification for External Appearance of Flexible Printed Wiring Boards," to establish the requirements for the external appearance of the FPC, which had not been specified before. The purpose of that standard was:

- To specify the most common external appearance
- To avoid unnecessary disputes caused by difference of concepts between the user and supplier on the external appearance of FPCs
- To improve cost performance
- To further advance the technology of FPCs
- To fulfill expectations of consumers

The content of this standard, JPCA-FC03, was succeeded by JIS C 5017, "Single- and Double-Sided Flexible Printed Wiring Boards," which was released in 1994.

The JPCA Performance Guide Manual prepared this time is a step to propose as a IEC Standard. At the drafting stage, we adopted the style of IEC 60326-7 and IEC 60326-8, and also IPC Standards, particularly of IPC-FC-250A was referred. The overall constitution of this standard, therefore, followed that of the IEC Standards. The most difficult item was the "classification." There was no idea of "classification" in JPCA-FC03 and JIS C 5017, whereas the concept of "classification" was essential for an IEC Standard. The classification in conventional standards, including IPC documents, was based on the characteristics of the printed boards, and the classification was assigned uniquely to all the items of the printed board. This assignment of classes sometimes induces a situation that a board requires a rather high class for just a part of the board for a special function even though most part of the board can perform its functions with a material of a regular class requirement and does not need such a high class.

In the present document, the term "class" has been changed to the "level," which is based on the levels of the required performance only. A product may require, in principle, either of Level 1, Level 2 or Level 3, while for some specification items a different level can also be assigned for a practical standpoint. This may be different from a usual concept as a standard; therefore, we decided to use the name for this document of a "performance guide manual" so that a level can be applied flexibly. - From JPCA-DG02-1997 Manual (First edition)

JPCA-DG02-1997 (1st ed.) was also published as a joint standard by IPC as IPC/JPCA 4202, and then published as an IEC document, IEC/PAS 62133 (PAS: Publicly available specification). The original JPCA-DG-02 was revised in 2004 as the 2nd edition. Flexible printed wiring boards (FPWB) have been widely used especially in cellular phones and hard disc drives these days. Use of the fine pattern circuit, wire bonding and anisotropic conductive film (ACF) is also a common practice in the industry. It was necessary to revise the 1st edition to cope with the advanced technology. The JPCA FPC Committee had revised the document in 2004. This document is further revised as the 3rd edition of the document including the cumulative pattern pitch, and the test methods for ion migration and for whiskers are added in the appendixes.

It was necessary for the industry to prepare a 3rd edition of the document by referring the contents of the document published in February, 2006, "Copper-Clad Laminate for Flexible Printed Wiring Boards (adhesive and Non-adhesive types)" in the present 3rd edition of the document, also taking into account of the cumulative conductor pitch. Test methods for migration and whisker growth on FPC were also to be added.

The joint standard preparation of this document with IPC is not planned for this time as a frequent revision may be necessary for the industry especially in Asian countries where most of the production is made around the world. It is considered instead to submit to IEC as a PAS for an early dissemination of the information the industry needs.

The Japanese Government had adopted in 1995 the policy of harmonizing the JIS (Japan Industrial Standards) to ISO and IEC standards, basically translation of the ISO/IEC documents. JIS C-5017, "Single- and double-sided flexible printed wiring board", is not a direct translation of the corresponding IEC document but the present IEC document was published years before and does not reflect the present day technology. We need to use the present JIS C-5017 for the time being and need to wait the revision of IEC document by IEC/TC91. TC91 has a plan to revise old documents on board materials based on proposals from national committees reflecting the present day technology in the industry.

With these considerations, the present document, 3rd edition of JPCA-DG-02 is named as the "Performance Guide for Single- and Double sided Flexible Printed Wiring Boards".

II. Supplemental explanation on each specification (The item numbers are those in the text.)

5. Performance level: Classification of specification and application of performance levels

Since the FPC is one type of printed boards, the classification of specification items of this performance guide in the first edition(1997) was prepared in accordance with the IEC Standards for printed boards. The classification of boards was drafted in harmony with the conventional JIS Standards and with international standards in future.

FPCs for various applications require different performance, and a specific application of a printed board often requires a higher level of performance.

FPC used for an application where the board is subject to repeated bending sometimes requires a special specification, such as, "There shall be no dents and nicks in the flexing portion." Some other examples of special requirements and applications for FPCs include:

1. Dimensional accuracy (for fine circuit patterns for fine connections)
2. Flexural performance (for applications such as mobile phones, digital versatile disc, hard disk drives, floppy disk drives, printers, and others in which flex boards are repeatedly bent)
3. Cleanliness (contamination issue in hard disks)
4. Surface treatment (FPCs for COF)

The FPC is unique in its overall dependency in quality (reliability) and cost on specific requirements/applications as seen from the above items. FPC cannot have only one specific "level", as each specification may require its own "level".

We can select a specific requirement with a certain "level" different from other portions of the same FPC to use it for a different application.

7.5.1.2 Nicks and pinholes on conductors These are used to judge if the FPC can be used without any trouble in its function (e.g., at the time of component mounting and/or soldering). We added requirements for defects on lands in the first edition (1997) as problems were found in operation in the field and requirements have been specified. The value 10% used in the specification is the most common value, which has been used in the agreement between user and supplier.

7.5.1.4 Unnecessary copper between conductor/spur and nodule of conductor in an open area

We added requirements for this item in the first edition (1997), as these were the phenomena often observed. An open area is described as the space more than 0.375mm wide. The maximum value of 0.125 mm is specified for the spacing assuming the electrical properties are not affected with this value.

7.5.2.2 Foreign substance A non-conductive foreign substance is assumed to never cross over three conductors in the conventional specification, whereas the assumption is no more practical for a dense pattern currently used. We changed the specification to the sizes of foreign substances from the first edition(1997).

7.5.3.1.1 Gold plating We added examples of plating errors such as at COF and ACF connections and key contacts,

and allowances specified as Levels 2, and 3.

15. Cleanliness Non-volatile residues (NVR), organic silicone compounds, and ion contamination (including chlorine) are the new problems for hard-disk drives (HDDs) and COF applications. The user and supplier should agree to carry out analyses based on FTIR and ion chromatography.

17.3.2 Storage Pre-drying conditions after storage were clearly indicated to maintain the heat resistance in soldering.

Additional remarks to Annexes

Annex 2 Ion migration An ion migration test is asked in many cases of FPC especially for fine pattern applications. A test method is provided in this document using a reasonably narrow interdigital pattern of a conductor spacing of less than 100 μm

Annex 3 Whisker growth test A whisker growth test method developed by Yamaichi Electric Work is included in this document for FPC.

On the adoption of lead-free solders and the time of switching from lead based to lead-free solders, tin-based metal plating is commonly used to replace plating of lead-tin solder to conductors in flexible boards by most of FPC manufacturers. The tin-based metal plating used as a surface treatment of conductor brings a serious technical problem of the whisker growth on flexible boards with the possibility of short circuit between neighbouring conductors when the length of a whisker exceeds a critical length. It is now fairly well known that the whisker growth becomes significant when a stress is applied to the plated tin-based metal. It is an urgent issue to develop a reliable test method of the whisker growth to estimate possibility of operation failure of products using flexible boards. The JEITA (Japan Electronics and Information Technology Industries Association) has been extensively working to develop a test method of whisker growth on leads of components and joints on boards. JPCA is also studying the whisker growth especially on flexible boards.

Tin-copper plating is widely used in the FPC industry for the tin-based metal plating. It is known the whisker growth is affected by internal stress induced, the thickness of Sn and other metal plating, the materials and thickness of stiffeners used, types and thickness of adhesive, and actual conditions of reflow process. It is not established yet to suppress the whisker growth completely to this date as the whisker growth seems based on one of distinct properties of tin. There are some candidates being studied for the suppression of whisker growth by various FPC manufacturers, such as annealing to relax internal stress generated in plated metal films, or reflow soldering, but no sure-cure method is found yet. The whisker growth is not completely understood yet. There are reports that nodules were grown even on tin-lead plated film. FPC manufacturers do have comprehension now that the suppression of whisker growth is very difficult though it may not be impossible as tin-based metal is used for plating.

We added a paragraph to this edition of the design guide to call the attention of those involved in the FPC industry on the whisker growth.

You are encouraged to send comment(s) and/or inquiry to this document. Please complete this form and send it to JPCA at (FAX: +81-3-5310-2021). Your comments will be sent to the appropriate committee, reviewed and will be reflected in the next revision of this document

Name

Affiliation

Address

Your comment

J P C A規格
片面及び両面フレキシブルプリント配線板
Performance Guide for Single- and Double-sided
Flexible Printed Wiring Boards

平成 9 年 12 月 24 日 第 1 版第 1 刷発行
平成 16 年 5 月 25 日 第 2 版第 1 刷発行
平成 18 年 5 月 25 日 第 3 版第 1 刷発行

編集兼 長 嶋 紀 孝
発行人

発行所
社団法人 日本電子回路工業会

〒167-0042 東京都杉並区西荻北 3-12-2
回路会館 2 階
Tel 03—5310—2020
Fax 03—5310—2021

J P C A 規格は、工業所有権（特許，実用新案，意匠，商標その他）の抵触の有無に関係なく
制定されており， J P C A 規格の発行者は，工業所有権に関する責任義務は一切負いません。

Copyright of this report belongs to the Japan Electronics Packaging and Circuits Association reproduction in
any way is forbidden without written permission from Japan Electronics Packaging and Circuits Association

Date of issue: May 2006

Publishing Office: Japan Electronics Packaging and Circuits Association
Kairo Kaikan 2F, 12-2 Nishiogikita 3-chome,
Suginami-ku, Tokyo 167-0042
Phone: +81-3-5310-2020
Fax: +81-3-5310-2021
E-mail: std@jpca.org
Web site: <http://www.jpca.org>

The JPCA standards are published regardless of the intelligent property right relevance to industry (license,
design, trademark, etc.).

JPCA